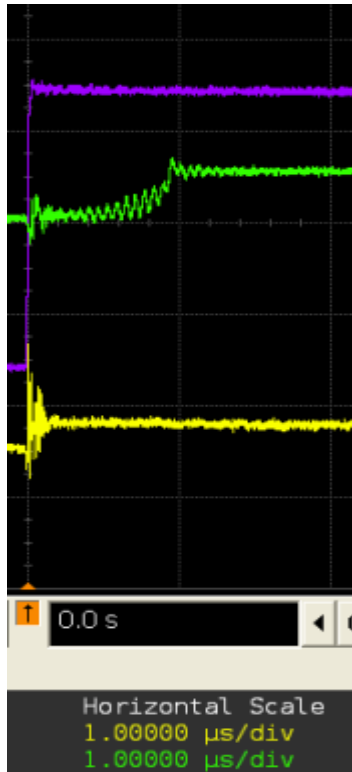


Was macht die Physik im Datenblatt?

Einleitung
Physikalische Grundlagen
Der pn-Übergang
Technologien
Die Diode
Der **MOSFET**
Der IGBT



Wieso dauert das Schalten eines MOSFETs ca.
 $1\mu\text{s}$???
Der Treiber ist ausreichend dimensioniert.

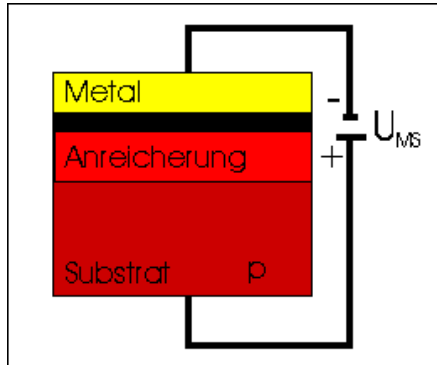
Dazu später mehr!

Der MOSFET ist ein spannungsgesteuertes Bauteil, welches sich nahezu leistungslos ansteuern läßt ...

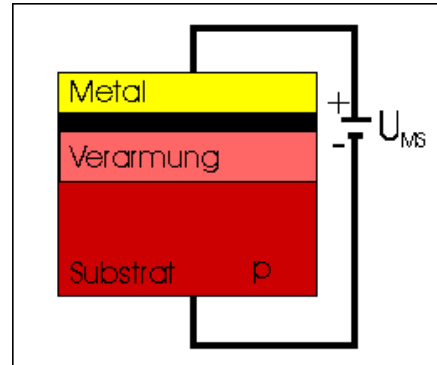
... sagt man – würde ich nicht so ohne weiteres unterschreiben.

Fangen wir mit dem MOS (**M**etal-**O**xide-**S**emiconductor) an.

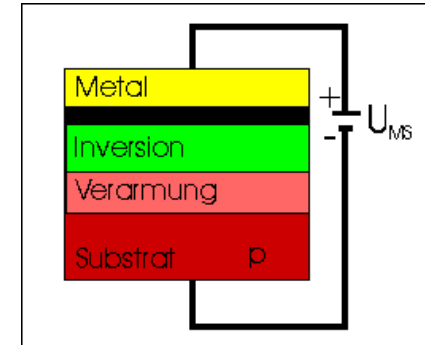
Das „Metal“ stimmt übrigens in den seltensten Fällen, da für das Gate üblicherweise Poly-Silizium verwendet wird. Dieses hat einen ohmschen Widerstand, der u. U. bei großen Chips und sehr schnellem Schalten dazu führen kann, daß der MOSFET nicht homogen über die Chipfläche ein- und ausschaltet -> Verluste!



negative Spannung am Metall:
Löcher aus dem Substrat driften zur Grenzschicht
-> **Anreicherungszone**



positive Spannung am Metall:
Elektronen aus dem Substrat driften zur Grenzschicht und rekombinieren dort
-> RLZ entsteht
-> **Verarmungszone**



positive Spannung wird weiter erhöht:
Es gelangen mehr Elektronen in die Grenzschicht als Löcher zur Rekombination da sind
-> freie Elektronen
-> **Inversionszone (leitende Schicht und pn-Übergang)**

Bilder aus <http://olli.informatik.uni-oldenburg.de/weTEiS/weteis/mos1.htm>

Der MOS - Kondensator ist ein Spezialfall des Metall-Isolator-Halbleiter (MIS) – Kondensators mit einer Metallelektrode (Gate) und einer Halbleiterelektrode (Substrat); es gilt:

- im Vergleich zum Metall geringe Ladungsträgerkonzentration im Halbleiter
- > Ausbildung einer Raumladungszone
- > Feld dringt in den Halbleiter ein
- > **Kapazität ist spannungsabhängig**

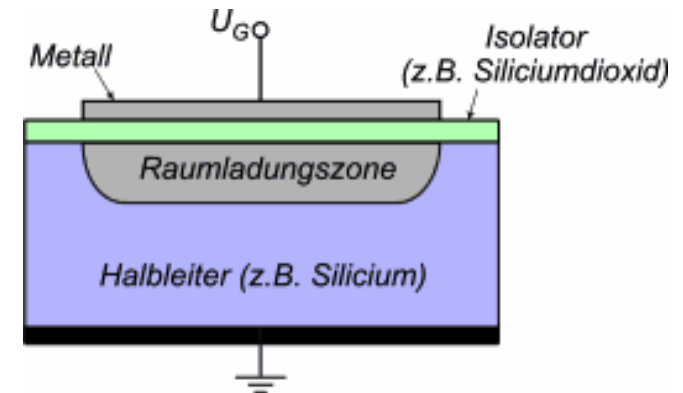
Wegen der Ladungsneutralität influenziert eine Ladung auf der Metallelektrode eine entsprechende Gegenladung im Halbleiter

$$Q_M + Q_{HL} = 0$$

Q_M : Ladung auf der Metallelektrode Q_{HL} : Ladung im Halbleiter

Der MOS-Kondensator ist eine Wissenschaft für sich; auf Details soll daher hier nicht weiter eingegangen werden.

Nur ein Punkt, da er für den praktischen Einsatz von MOSFETs wichtig ist (nicht erschrecken!):



Die Schwellspannung des MOSFETs ist temperaturabhängig.

$$U_T = U_{FB} + \Phi_S + \gamma \cdot sarg$$

Flachbandspannung U_{FB}

Oberflächenpotential Φ_S

Substrateffektkonstante γ

Sagratonskoeffizienten $sarg$

Darin stecken die verschiedensten Material- und Prozeßparameter wie Austrittsarbeit zwischen Gatematerial und Silizium-Substrat, Oberflächenzustände, Oberflächenladungsdichte der flächenbezogenen Gatekapazität, Typ des Gatematerials, Dotierstoffart und –konzentration, Substratdotierung etc

Alles Parameter, die wir nicht kennen und die der Hersteller uns nicht verrät.
Selbst wenn wir Sie kennen sollten, wäre hier eine größere physikalische Abhandlung erforderlich!

Näheres ggf. hier:

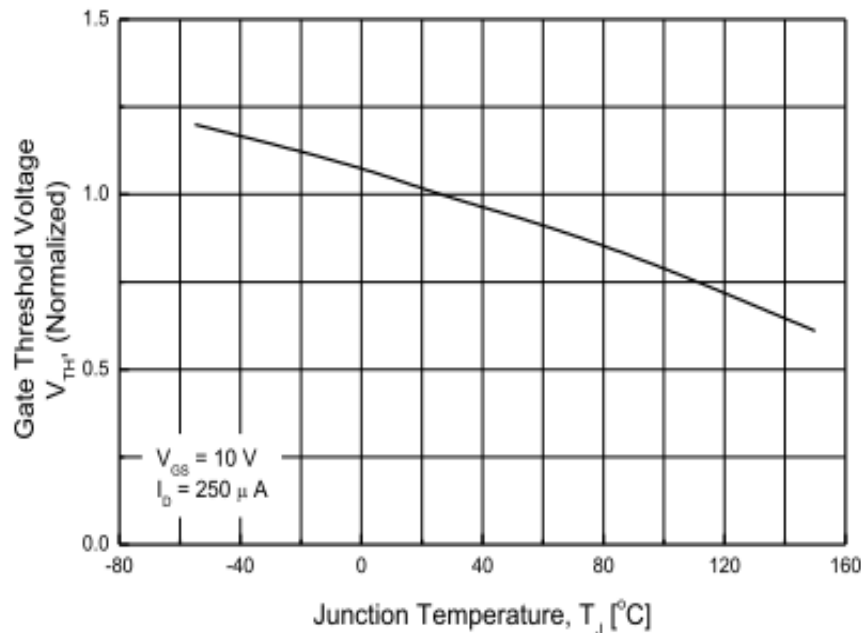
Machul, Olaf: Nichtlineare Approximationsmethoden zur Reduzierung nichtidealer Sensoreigenschaften in integrierten CMOS-Sensorsystemen
Bahun: Real Time Measurement of IGBT Operating Temperature

Die Temperaturabhängigkeit läßt sich jedoch näherungsweise linear interpolieren.

$$V_{th(TJ)} = V_{th0} - k * (T_J - T_0)$$

Bei Bahun finden wir als Temperaturkoeffizient ca. 5 mV/K für MOSFETs und ca. 10 mV/K für IGBTs

Manchmal findet sich die Angabe auch im Datenblatt – entweder als Wert für den Koeffizienten oder als Diagramm; Beispiel



TMP9N90

900V, 1,4Ω MOSFET

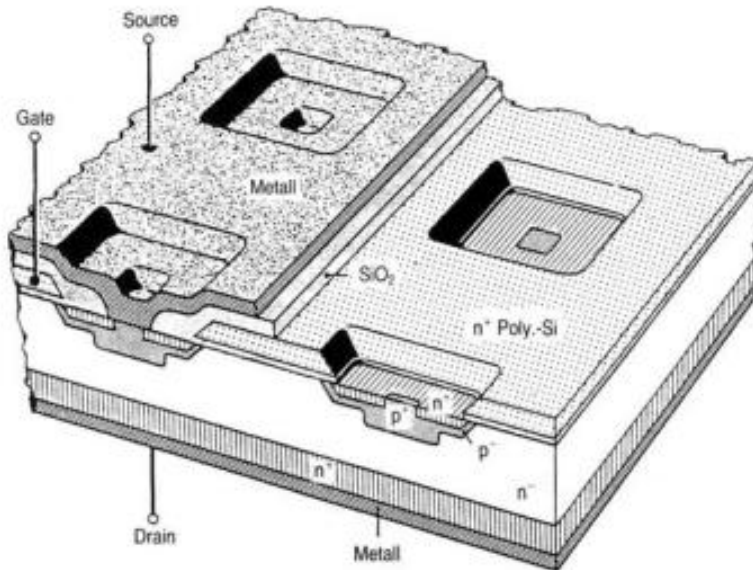
Hier ergibt sich näherungsweise ein Wert von $k = 3\text{ mV/K}$

Im Gegensatz zur Durchbruchspannung sinkt die Schwellspannung mit der Temperatur.

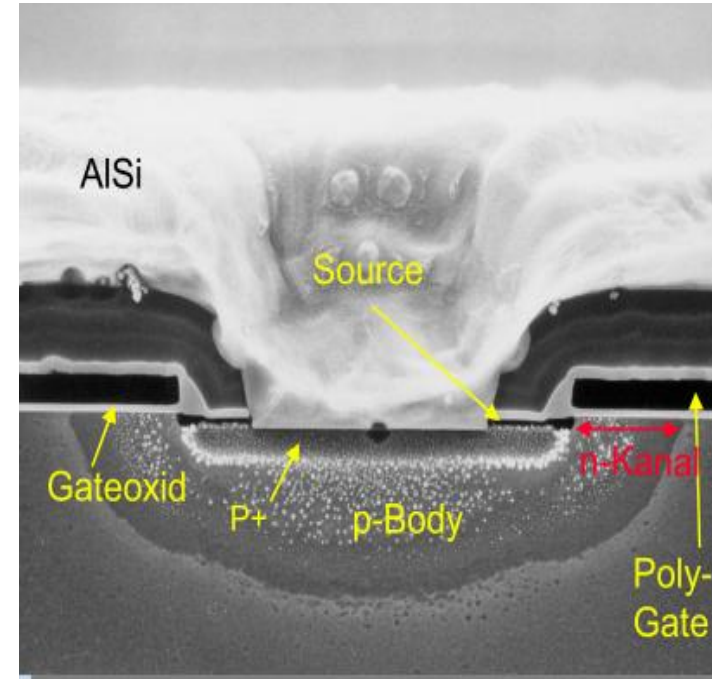
Sollte bei hohen Temperaturen durchaus berücksichtigt werden.

-> ungewolltes (Wieder)einschalten

Aufbau eines MOSFET

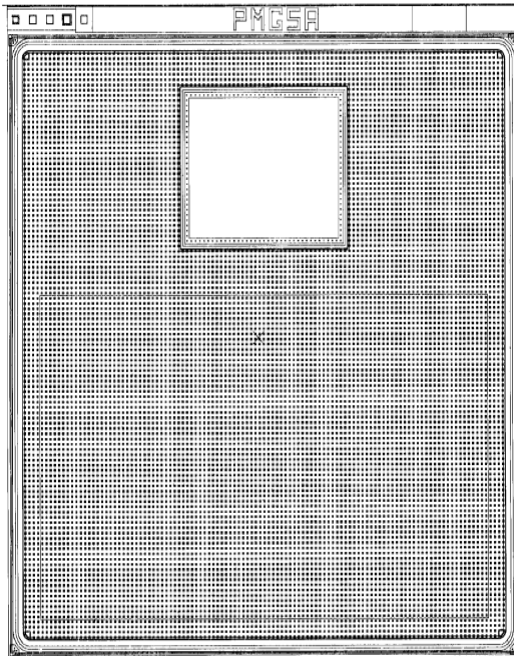


Zellenstruktur eines vertikalen DMOS



REM Aufnahme einer MOSFET-Zelle

Aufbau eines MOSFET



In der Oberfläche eines MOSFET können bis zu einigen Millionen Zellen parallel geschaltet sein. Sie bilden eine RC-Kombination vom Gatekontakt zu den Chiprändern. Die Probleme mit der Parallelschaltung von diskreten MOSFETs finden sich hier im kleinen wieder.

Beginnen wir einfach mit dem Datenblatt eines MOSFET

**High Voltage
HiPerFET Power
MOSFET**

Preliminary Data Sheet

IXFH 12N120



$V_{DSS} = 1200\text{ V}$
 $I_{D(cont)} = 12\text{ A}$
 $R_{DS(on)} = 1.4\ \Omega$
 $t_{rr} \leq 300\text{ ns}$

Es handelt sich hier also um ein 1200 V Bauteil mit 1,4 Ω , 12A und einem t_{rr} von 300 ns (?) und dem Status „Preliminary Data Sheet“

Was kann dieser Status bedeuten? Möglichkeiten:

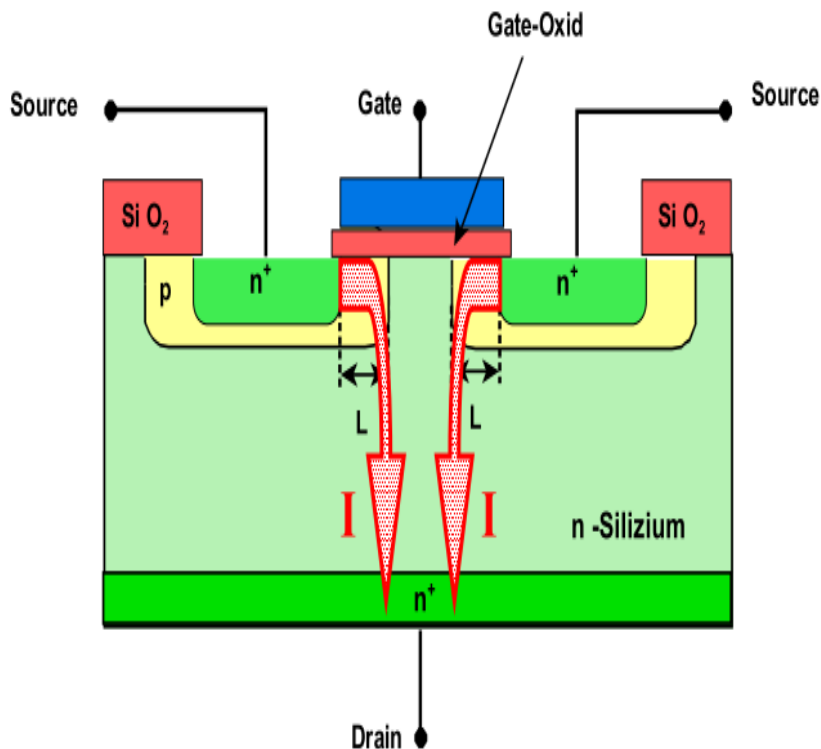
- > Versuchsballon
- > noch nicht endgültig für die Serienfertigung qualifiziert
- > Datenblatt nicht auf dem neuesten Stand; Änderung wurde „vergessen“

Hier finden wir am Fußende: **DS99334(02/05)** ... also Stand 2005!

... und zum Status auf der Homepage: **Not for New Designs; Contact the factory for lead times**

Gerade bei Target Specification; Advanced oder Preliminary Data Sheet behalten sich die Hersteller das Recht vor, die Spezifikationen jederzeit zu ändern -> also Vorsicht walten lassen und den Änderungsdienst beachten; ggf. nachfragen

Um das Datenblatt besser verstehen zu können, schauen wir uns den Querschnitt eines MOSFET an



Bei einem konventionellen MOSFET hängt der $R_{DS(on)}$ je nach Sperrspannung mehr oder weniger stark von Dicke und Dotierung der Epitaxieschicht ab.

Bei Sperrspannungen ab einigen 100V haben wir es einfach mit einem Stück Silizium zu tun. Von den Grundlagen wissen wir:

Die Ladungsträgerbeweglichkeit μ und damit die Leitfähigkeit nehmen mit der Temperatur ab

-> $R_{DS(on)}$ steigt mit der Temperatur

Die Sperrfähigkeit steigt mit sinkender Dotierung; die Leitfähigkeit nimmt jedoch exponentiell mit der Dotierung der Epitaxieschicht ab;

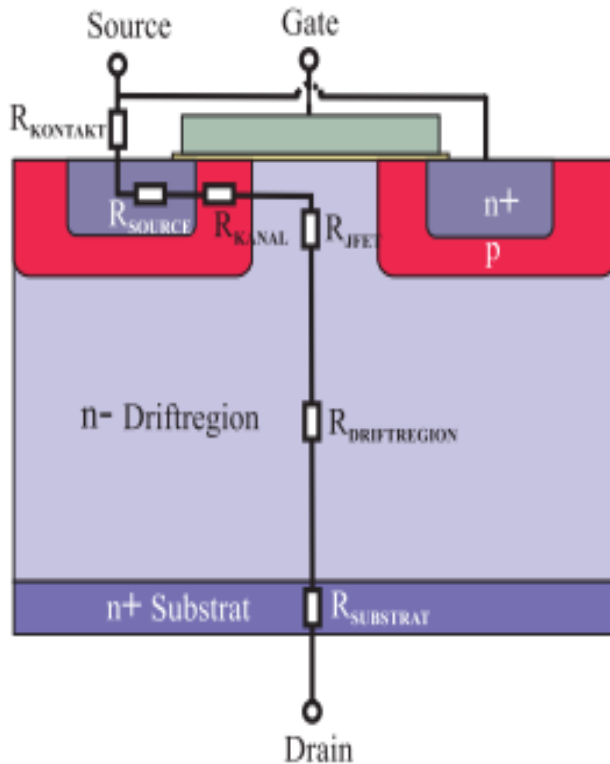
-> der $R_{DS(on)}$ steigt (bei gleicher Chipfläche) exponentiell an:

$$R_{DS(on)} \cdot A \sim U_{Br}^{2,5}$$

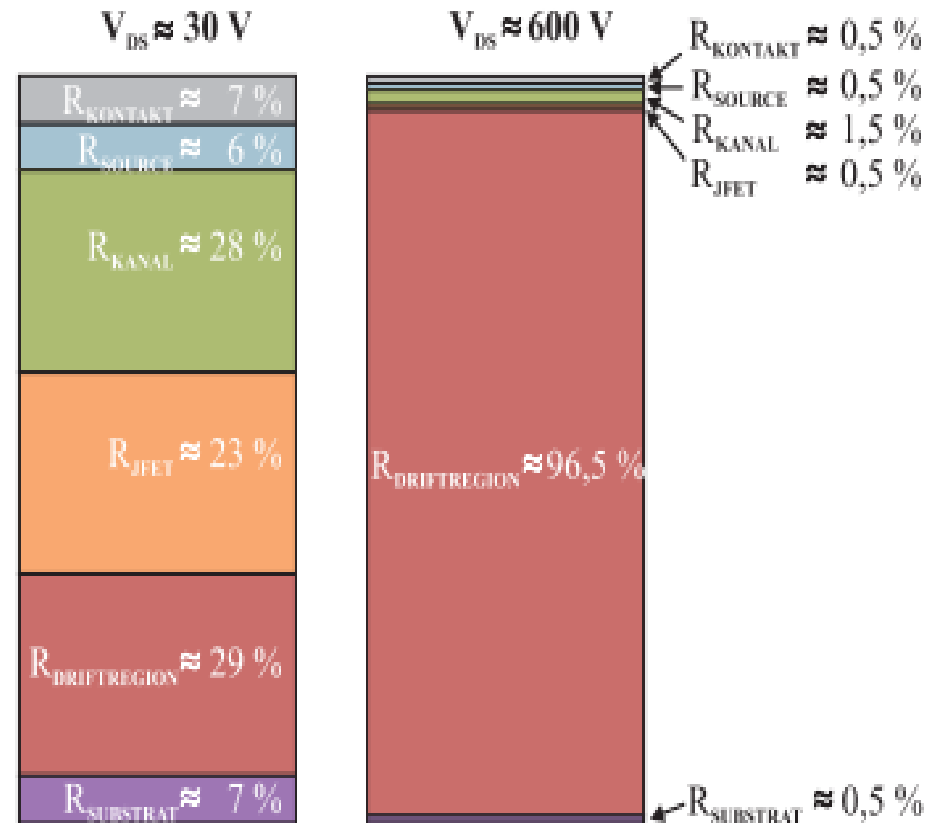
600V auf 1200V -> Faktor von etwa 5,6!!!

Widerstandsanteile im MOSFET

Dissertation Carolin Tolksdorf 2005 BW-UNIVERSITÄT MÜNCHEN



Bei Niedervolttypen dominiert das
Zelldesign mit der Kanalbreite
-> Trenchfets



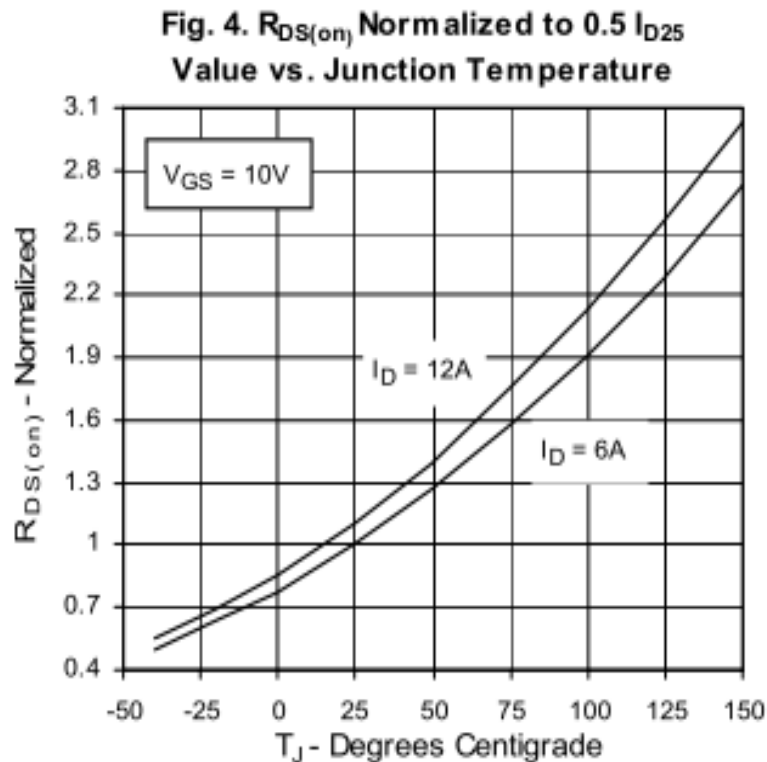
Bei Hochvolttypen dominiert die Epitaxieschicht
-> das Zelldesign spielt eine eher untergeordnete Rolle

Maximalwert bei Raumtemperatur

$R_{DS(on)}$

$V_{GS} = 10\text{ V}, I_D = 0.5 \cdot I_{D25}$
Pulse test, $t \leq 300\text{ }\mu\text{s}$, duty cycle $d \leq 2\%$

1.4 Ω



Im Datenblatt findet sich üblicherweise ein Diagramm zur Temperaturabhängigkeit – oft normiert auf den Wert bei 25 °C und bei 10V Gatespannung. Die Messungen erfolgen bei sehr kurzen Pulsen und kleinem Tastverhältnis, um eine Verfälschung durch Eigenerwärmung zu vermeiden.

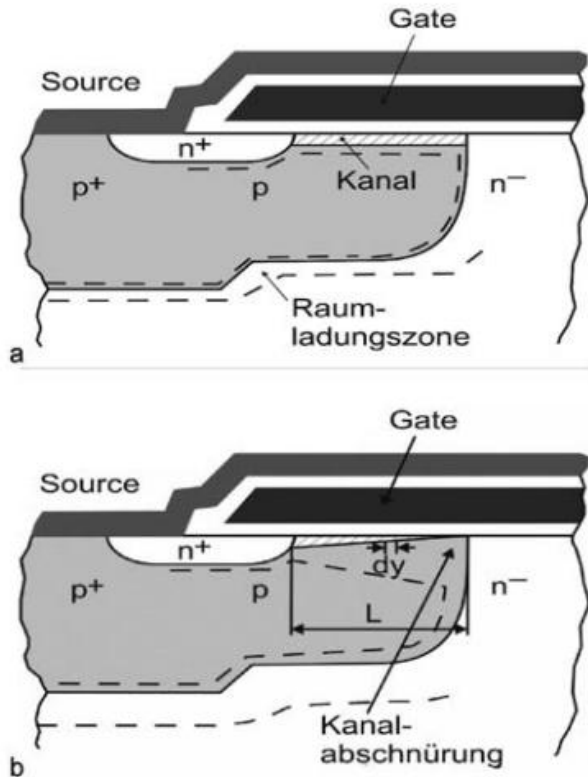
Bei dieser Kurvenform kann man den Verlauf z. B. Ab 50 °C linearisieren

-> analytische Funktion $R_{DS(on)} = f(T)$

-> Abschätzungen zur Verlustleistung möglich

ACHTUNG: hier bei T_J angegeben; kann auch T_c sein

Warum steigt der $R_{DS(on)}$ eigentlich mit I_D ?



Kanal eines MOSFETs.

- a) Ohm'scher Bereich, $U_D < U_G - U_T$
- b) Kanal-Abschnürung, $U_D = U_G - U_T$

Josef Lutz, Halbleiter-Leistungsbaulemente

$$I_D = \kappa \cdot (U_G - U_T) \cdot U_D$$

mit $\kappa = \frac{W \cdot \mu_n \cdot C_{ox}}{L}$

... schon wieder die Beweglichkeit!

Kanalverengung:

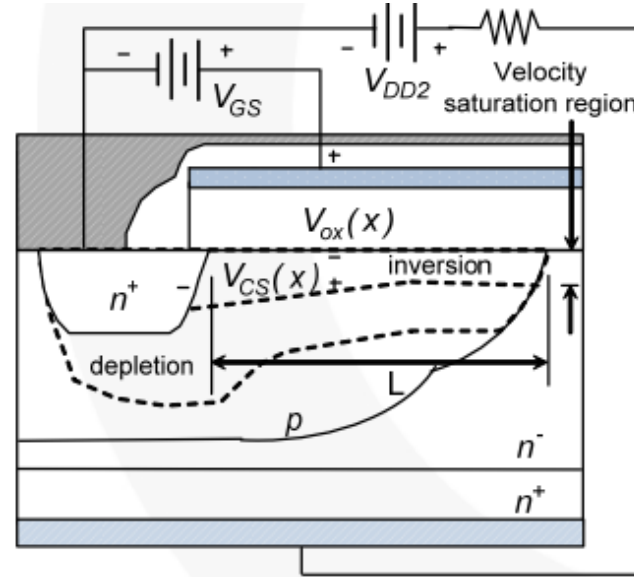
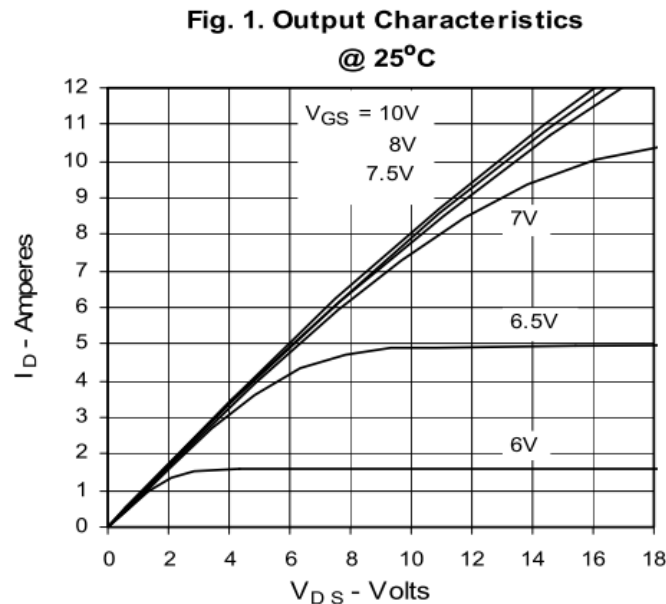
$$I_D = \kappa \cdot \left((U_G - U_T) \cdot U_D - \frac{1}{2} U_D^2 \right)$$

Entspricht dem Übergang vom ohmschen zum Sättigungsbereich mit Kanaleinschnürung:

$$I_{Dsat} = \frac{\kappa}{2} \cdot (U_G - U_T)^2$$

Sättigungsstrom nach dieser vereinfachten Abschätzung näherungsweise konstant.

Ein MOSFET ist eigentlich ein über die Gatespannung regelbarer ohmscher Widerstand – in gewissen Grenzen



Ab einem bestimmten Drainstrom -> Spannungsabfall über dem Kanal etwa gleich der Gatespannung

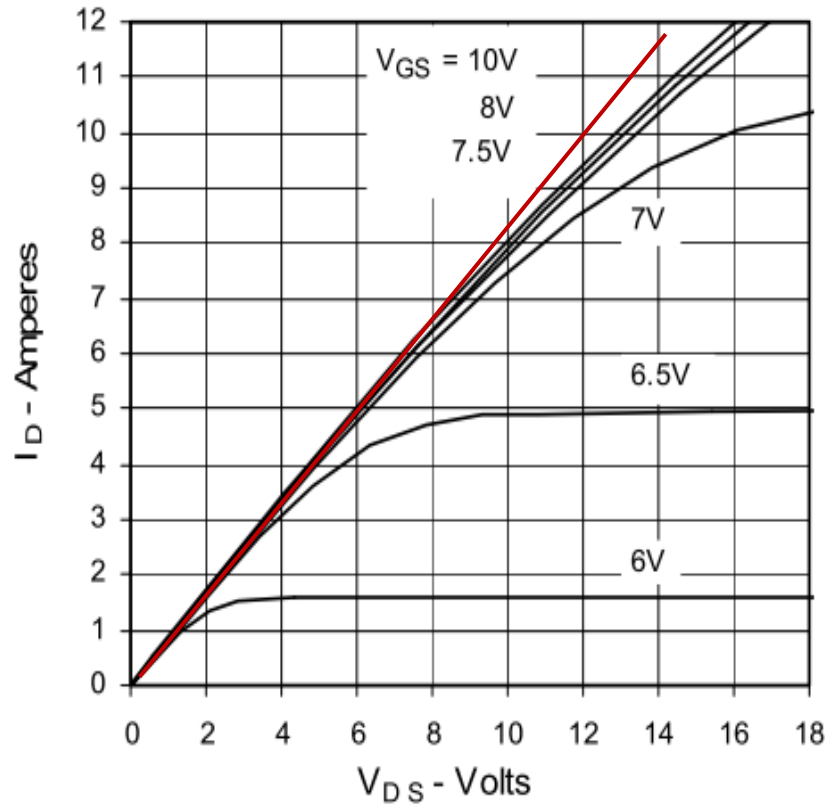
-> Abschnürung des Kanals -> Strom läßt sich nicht weiter steigern

Die Elektronen bewegen sich mit der Sättigungsdriftgeschwindigkeit (bei Feldern ab etwa 10^4 V/cm)

$$j_{\text{Drift}} = e \cdot (n \cdot \mu_n + p \cdot \mu_p) \cdot E = \sigma \cdot E$$

-> Strom ist nur noch von Materialparametern abhängig

Fig. 1. Output Characteristics
@ 25°C



Ab etwa 6V ... 8V Drain-Source-Spannung ist der Kurvenverlauf nicht mehr linear sondern verflacht

Ohmscher Bereich:

$$U_D < U_G - U_T \rightarrow 10V - 4V = 6V$$

Danach setzt wegen des steigenden Spannungsabfalls über dem Kanal langsam die Kanalverengung ein

-> Erhöhung R_{DSon}

$$V_{DSS} = 1200 \text{ V}$$

Das ist die Spannungsfestigkeit des pn-Übergangs von der p-Wanne zur n-Epitaxieschicht (gilt für Raumtemperatur).

Ein Diagramm zur Temperaturabhängigkeit der Durchbruchspannung findet sich nicht immer; ab und zu wird aber deren Temperauroeffizient angegeben. Hier finden wir:

$$V_{DSS} \quad T_J = 25^\circ\text{C to } 150^\circ\text{C}$$

d. h., die Sperrspannung beträgt von 25 bis 150 °C mindestens 1200 V.

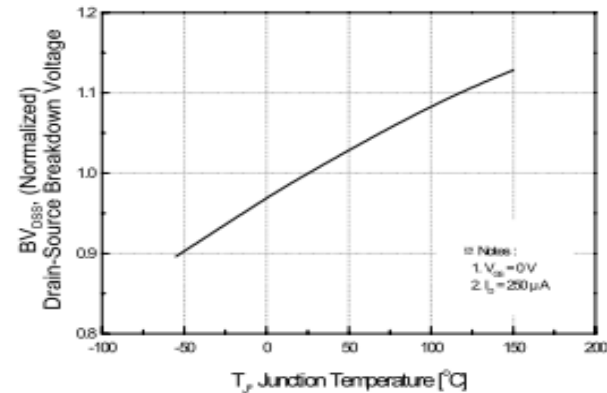
Vom pn-Übergang wissen wir, daß die Sperrspannung (bei > 1.000V) näherungsweise linear mit der Temperatur um ca. **+2,2 V/K** steigt (bei PT-Übergängen mit mäßigen Durchreichfaktoren mit etwa **+1,3 V/K**)

Hier dürfte nach dieser Näherung also die tatsächliche Sperrspannung bei 150 °C zwischen 1.360V und 1.475V liegen

-> rein rechnerisch wäre das Bauteil also bei hohen Temperaturen weniger empfindlich gegen Überspannungen

Das gilt aber nicht überall – besonders nicht am Gate!

Figure 7. Breakdown Voltage Variation vs. Temperature



Beispiel 1: FQH8N100C (1.000V MOSFET)

$\frac{\Delta BV_{DSS}}{\Delta T_J}$	Breakdown Voltage Temperature Coefficient	$I_D = 250 \mu A$, Referenced to 25°C	--	1.4	--	V/°C
--------------------------------------	---	--	----	-----	----	------

Beispiel 2: IRFB812 (500V MOSFET)

$\Delta V_{(BR)DSS} / \Delta T_J$	Breakdown Voltage Temp. Coefficient	—	0.37	—	V/°C
-----------------------------------	-------------------------------------	---	------	---	------

Beispiel 3: FDH210N08 (75V MOSFET)

$\frac{\Delta BV_{DSS}}{\Delta T_J}$	Breakdown Voltage Temperature Coefficient	$I_D = 250 \mu A$, Referenced to 25°C	--	0.1	--	V/°C
--------------------------------------	---	--	----	-----	----	------

Beispiel 4: IXFK27N80

V_{DSS} temperature coefficient	0.096	%/K
-----------------------------------	-------	-----

Gilt die Näherung also bei niedrigen Sperrspannungen nicht mehr?

-> FDH210N08 (75V MOSFET mit 0,37 V/K)

Achtung: es waren immer Werte in V/K angegeben. Wenn wir diese auf die Durchbruchspannung bei Raumtemperatur normieren, liegen wir zwischen etwa $1,0$ bis $1,8 \cdot 10^{-3}$

Lediglich der IRFB812 fällt mit $0,7 \cdot 10^{-3}$ etwas aus dem Rahmen

-> den Hersteller fragen oder selbst messen!

$$I_{D(\text{cont})} = 12 \text{ A}$$

$$I_{D25} \quad T_C = 25^\circ\text{C} \quad 12 \quad \text{A}$$

$$I_{DM} \quad T_C = 25^\circ\text{C, pulse width limited by } T_{JM} \quad 48 \quad \text{A}$$

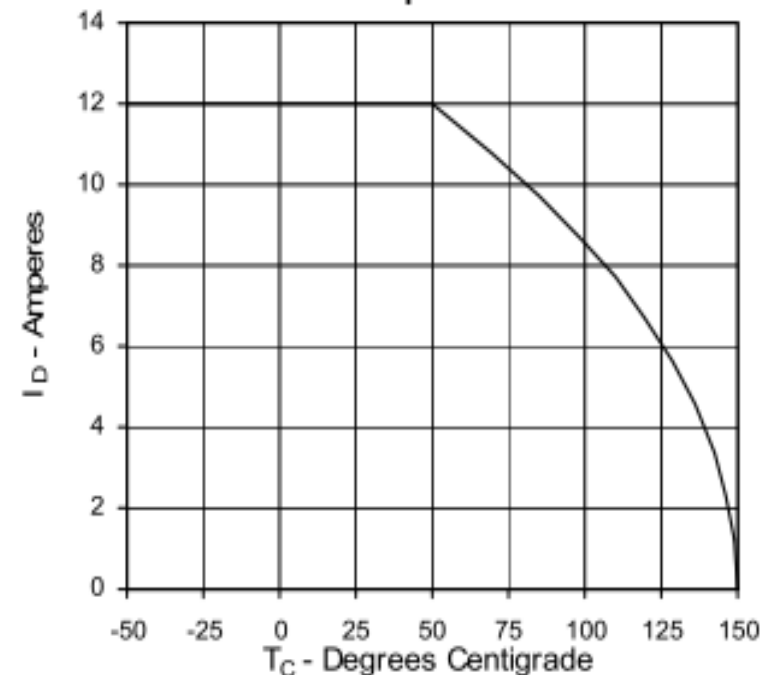
Das ist der Dauer-Gleichstrom (**OHNE Schaltverluste**), den Sie führen können, wenn Sie die Gehäusetemperatur bei 25°C halten. Es handelt sich hier also um eine rein stationäre Angelegenheit.

Bei höheren Gehäusetemperaturen sinkt die Stromtragfähigkeit gemäß Deratingkurve.

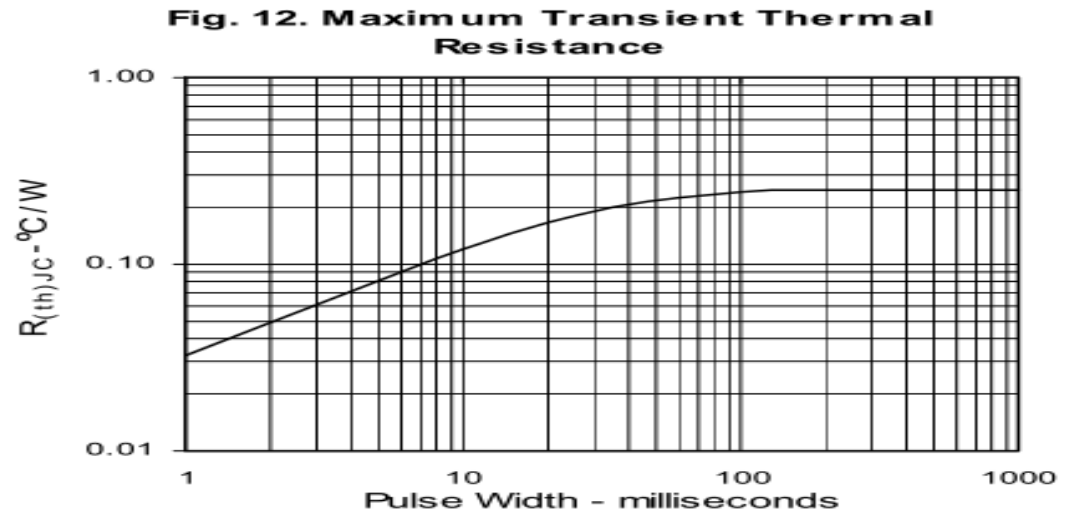
Bei gepulstem Strom steigt der Maximalwert – hier von 12A auf 48A. Die Grenze liegt bei Erreichen der maximal zulässigen Chiptemperatur.

Hier handelt es sich um dynamische Vorgänge; der stationäre R_{th} hilft nicht weiter – wir benötigen den transienten Wärmewiderstand

Fig. 6. Drain Current vs. Case Temperature



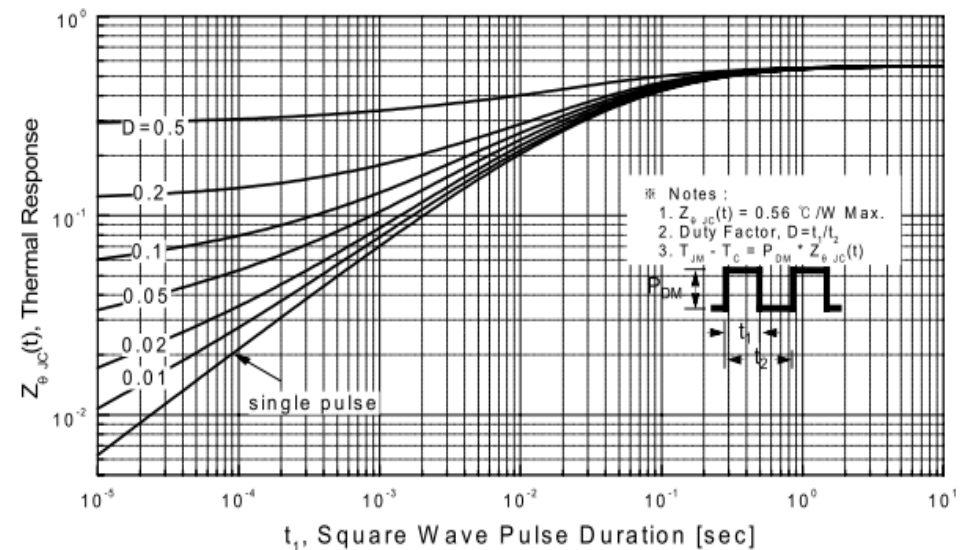
Das Diagramm für den transienten Wärmewiderstand gibt es so



... oder so:

Hier wird also auch der Einfluß des Tastverhältnisses (duty cycle) mit berücksichtigt.

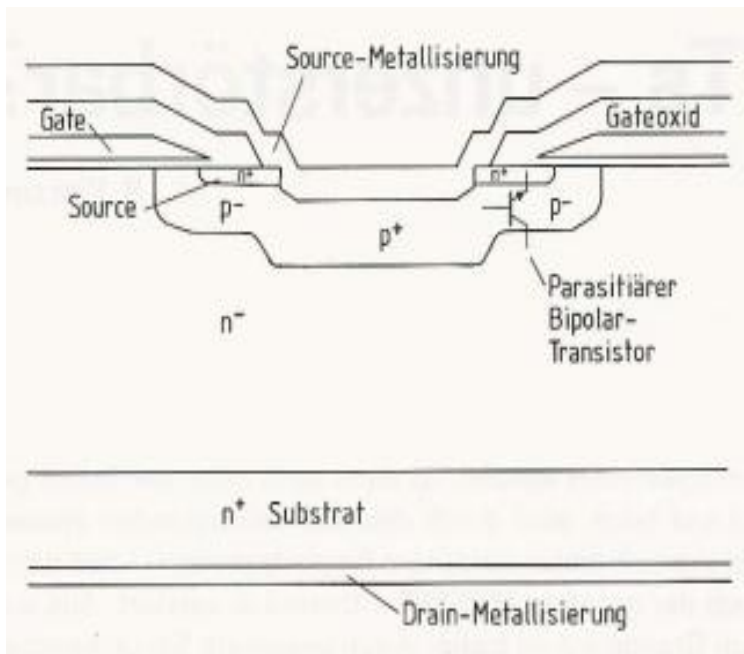
Man sieht, daß der stationäre R_{th} schon bei etwa 100 ms erreicht wird (die Wärmekapazität des Chips ist aufgeladen) – alles darüber ist für einen stationären Betrieb auszulegen



I_{AR}		12	A
E_{AR}	$T_C = 25^\circ\text{C}$	30	mJ
E_{AS}	$T_C = 25^\circ\text{C}$	1.0	J

Nun kommen wir zum „Avalanche-Rating“ – die Bezeichnung „Avalanchefest“ halte ich für nicht korrekt.

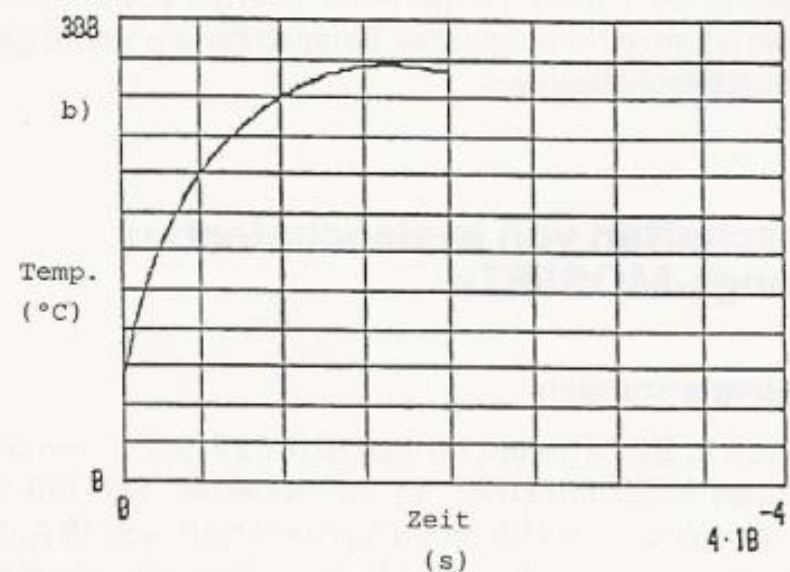
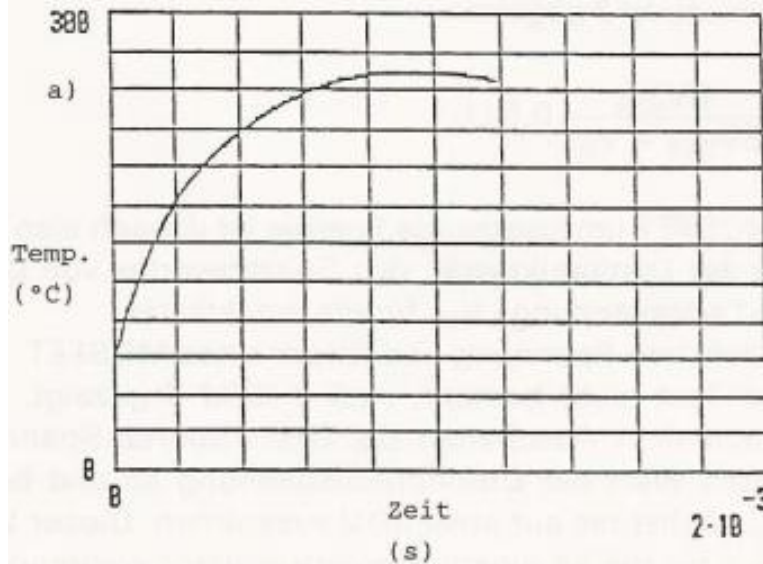
Worum geht es also?



- > Sperrspannung der Drain-Source Diode wird überschritten
- > Feldspitzen an Inhomogenitäten wie Ecken der p-Wanne
- > Löcherstrom durch p-Gebiet zur n^+ Source
- > bei nicht homogenem Durchbruch (z. B. Kristallfehler)
- > lokal hohe Stromdichte
- > Potentialerhöhung durch ohmschen Widerstand der p-Zone gegenüber der n^+ Source
- > bei genügend hoher Spannung schaltet die Basis-Emitterstrecke den parasitären Bipolartransistor ein
- > positiver Temperaturkoeffizient
- > Zerstörung durch zweiten thermischen Durchbruch

Damit das nicht passiert, sollte der Kristall möglichst ungestört mit einer homogenen Zellstruktur (keine Hotspots) und die Leitfähigkeit der p-Wanne um die n^+ Zone hoch sein (niedriger ohmscher Widerstand).

Was kann man nun dem Bauteil im Durchbruch zumuten? Letztlich geht es nur darum, daß die während des Durchbruchs in Wärme umgesetzte Energie den Chip nicht zu heiß werden läßt. Die Chiptemperatur hängt von der zugeführten Leistung ab und ist damit eine Funktion von Drainstrom, Durchbruchspannung und Pulsdauer – keiner dieser Parameter allein zerstört das Bauteil



Stromabhängigkeit

Sperrschichttemperatur im BUK553-50A für **10 A und 22 A**; Zerstörung nach ca. 1ms bzw. 0,2ms
Temperatur in beiden Fällen etwa 350 °C -> Bereich der Eigenleitung (Dotierungsabhängig)!

Bilder aus Pierzina; Die neue Generation der Leistungs-MOSFETs – unzerstörbar? der elektroniker 1989

Um verschiedene Bauteile miteinander vergleichen zu können, ist es sinnvoller, die Stromdichte aufzutragen

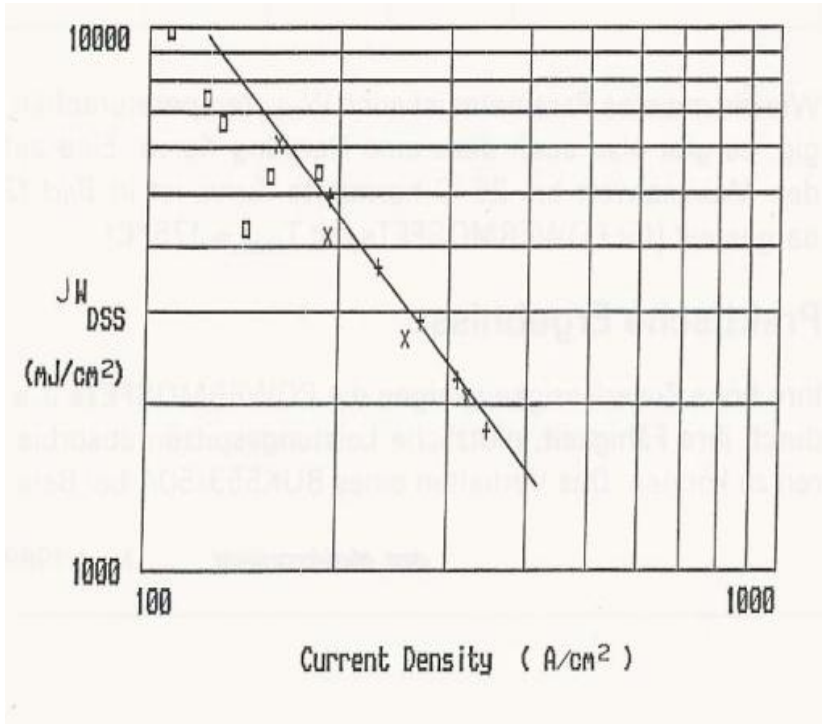


Bild 9 Avalanche-Energiedichte-Funktion der Stromdichte.
x BUK553-100A (6,25 mm² chip), + BUK555-100A (13 mm² chip), □ Competitor Device (100 V).

Unterschiedliche Chipflächen (100V)

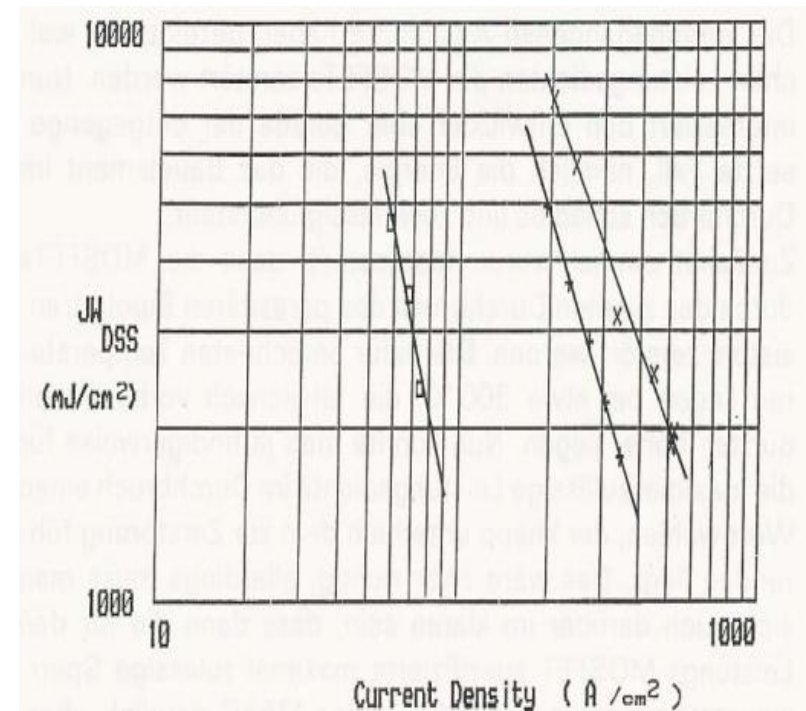
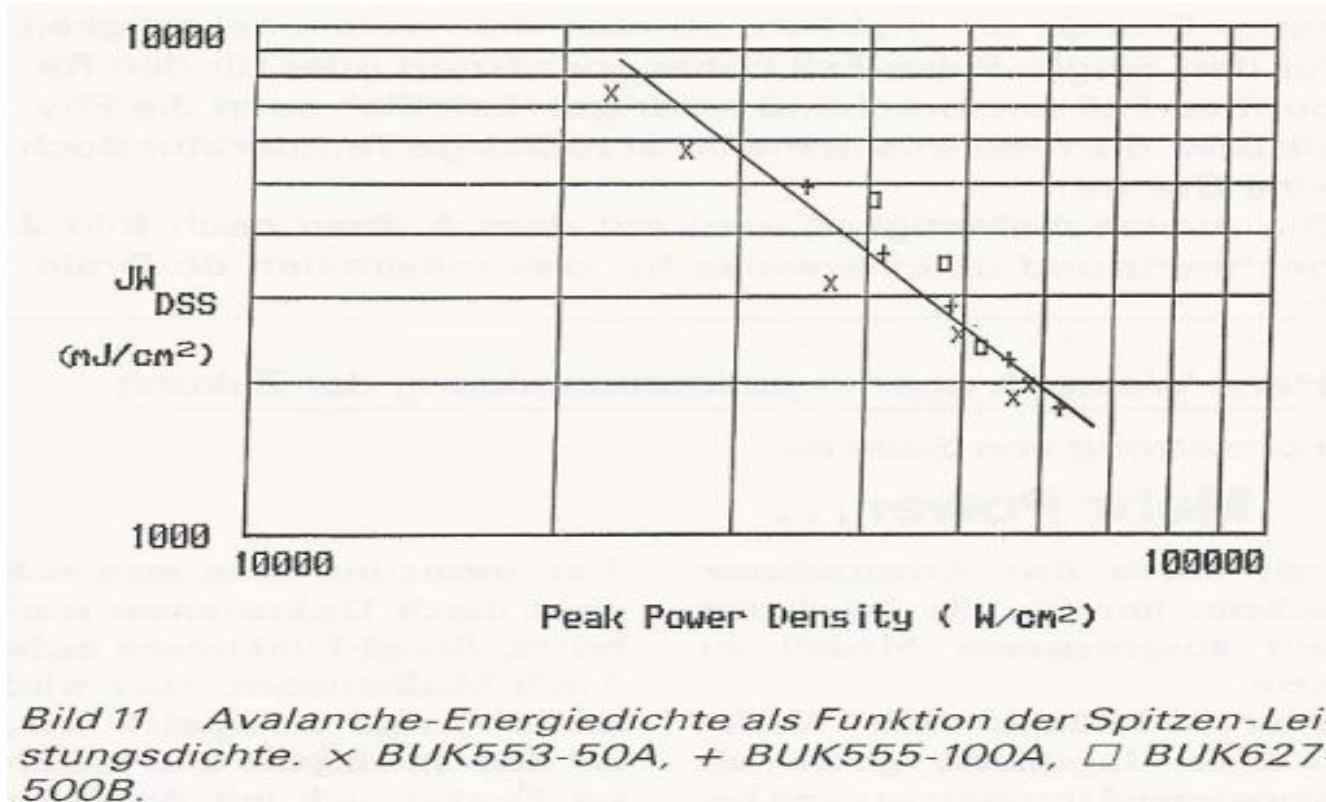


Bild 10 Avalanche-Energiedichte als Funktion der Stromdichte.
x BUK553-50A, + BUK555-100A, □ BUK627-500B.

Unterschiedliche Sperrspannungen:
50V, 100V und 500V

Allein verantwortlich für die Zerstörung ist die zugeführte Leistung (oder Leistungsdichte)
Allerdings dürfen Strom- oder Spannungsspitzen und Pulsdauer nicht beliebig hoch oder kurz sein!



Auf die Chipfläche normierte Leistung im Punkt der Zerstörung.
Alle Punkte liegen näherungsweise auf einer Geraden und gehorchen damit gleichen Gesetzen.
Auch „Avalanchefeste“ MOSFETs können zerstört werden!

Es gilt natürlich immer, die maximal zulässige Chiptemperatur nicht zu überschreiten
-> Derating bei höheren Temperaturen

Wird er Chip bereits knapp darunter betrieben, bleibt kaum noch Avalanche-Energie übrig – selbst wenn er erst bei ca. 400 °C zerstört wird.

Applikationsschriften zum Avalancheverhalten gibt es mittlerweile wie Sand am Meer.

Der Lawinendurchbruch (Insbesondere der periodische Betrieb) bedeutet aber Streß für das Bauteil und sollte zumindest theoretisch die Lebensdauer beeinflussen. Literatur dazu ist nur schwer zu finden.

$$\begin{array}{ll} \text{dv/dt} & I_S \leq I_{DM}, di/dt \leq 100 \text{ A/}\mu\text{s}, V_{DD} \leq V_{DSS}, \\ & T_J \leq 150^\circ\text{C}, R_G = 2 \Omega \end{array} \quad \begin{array}{ll} 10 & \text{V/ns} \end{array}$$

Bei den allerersten MOSFETs fand sich diesbezüglich gar keine Spezifikation. Diese wurde dann kontinuierlich verbessert: über 5 V/ns bis zu 50 V/ns bei den neuesten Generationen.

Da sich im MOSFET überall Kapazitäten befinden, kann ein zu hohes du/dt über kapazitive Verschiebungsströme unschöne Effekte hervorrufen (u. U. Einschalten des parasitären Bipolartransistors ; Erhöhung der Gatespannung -> Wiedereinschalten des MOSFET; Umladung der Gatekapazität mit negativem Treiberstrom-> Schwingungen etc.)

ACHTUNG:

Mitunter findet sich auch

$$\text{dv/dt} \quad | \quad \text{Peak Diode Recovery dv/dt} \quad 4.0 \quad | \quad \text{V/ns}$$

Hier geht es also um die Body-Diode! Wir wissen vom pn-Übergang, daß die Spannungsänderung nicht beliebig schnell werden darf (dynamischer Lawinendurchbruch).

Characteristic Values
($T_J = 25^\circ\text{C}$, unless otherwise specified)

V_{DSS} $V_{GS} = 0\text{ V}, I_D = 1\text{ mA}$
 $V_{GS(th)}$ $V_{DS} = V_{GS}, I_D = 4\text{ mA}$

1200	V
3	5 V

Bei V_{DSS} handelt es sich um die Durchbruchspannung der Body-Diode – hier gilt das bei der Diode Gesagte.

$V_{GS(th)}$ ist die sogenannte Threshold Voltage – also die Gatespannung, bei der der MOSFET leitend wird.

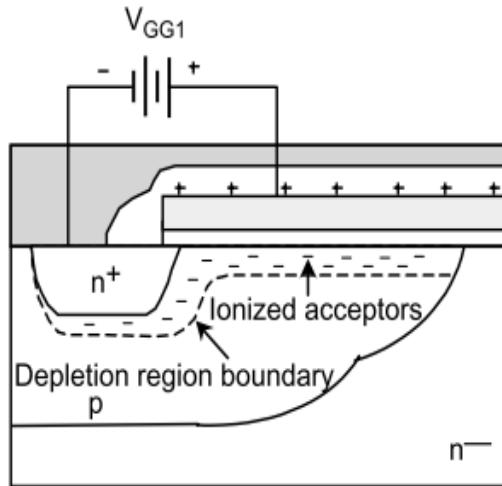
> Inversionsschicht bildet sich aus.

Dicke des Gate-Oxids: wenige 10nm bis ca. 100nm

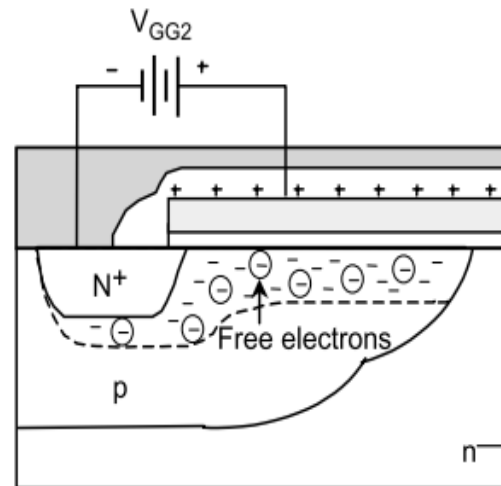
Die 2V Bandbreite hängen ab von

- > Dickenschwankungen in einem Los (macht aber KEINE 2V aus)
- > Prozeß- und Dickenschwankungen über eine lange Zeit
- > ist historisch so gewachsen

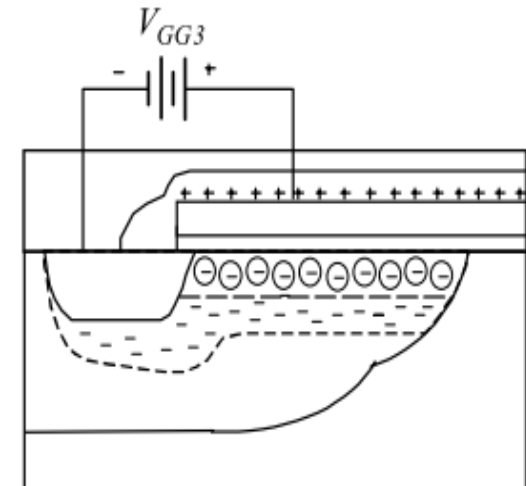
Einschalten des MOSFET



V_{GS} sehr klein
Positive Gateladung ruft
gleiche negative Ladung
unter dem Oxid hervor
-> Löcher werden
abgestoßen
-> RLZ bildet sich

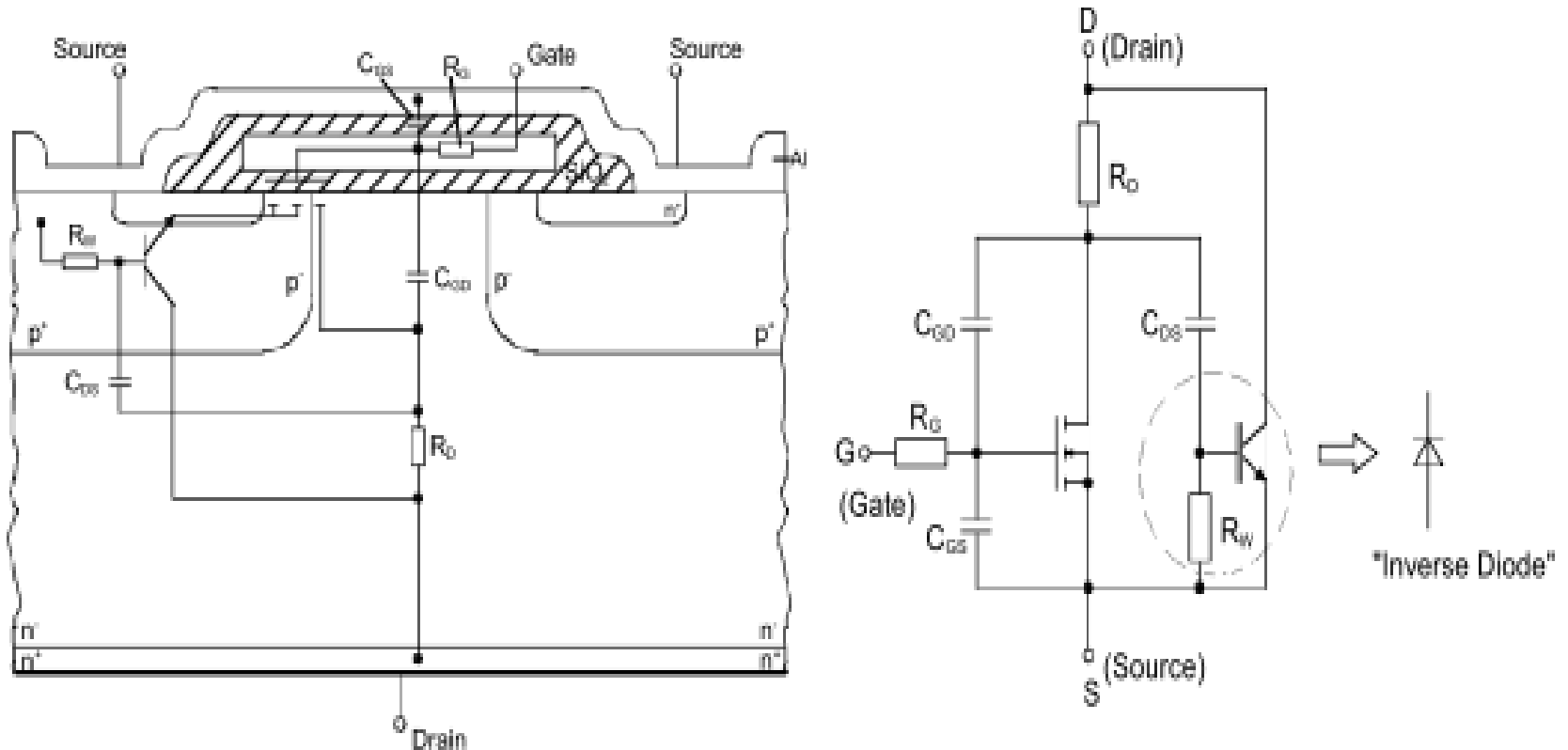


V_{GS} steigt
-> RLZ weitet sich aus
-> thermisch generierte
Elektronen sammeln sich
unter dem Oxid



V_{GS} steigt weiter
-> bei $V_{GS} = V_{Gsth}$ hat sich
eine leitende
Inversionsschicht gebildet,
der „Kanal“
-> pn-Übergang
-> auch dieser kann
durchbrechen

Diese Abbildung findet sich in der Literatur sehr oft:



Leistungs-MOSFET-Zelle mit den wichtigsten parasitären Elementen
parasitäre Elemente in der Zellstruktur Ersatzschaltbild mit parasitären Elementen

Dabei sind die

Eingangskapazität

$$C_{iss} = C_{GS} + C_{GD}$$

Rückkopplungskapazität

$$C_{rss} = C_{GD}$$

Ausgangskapazität

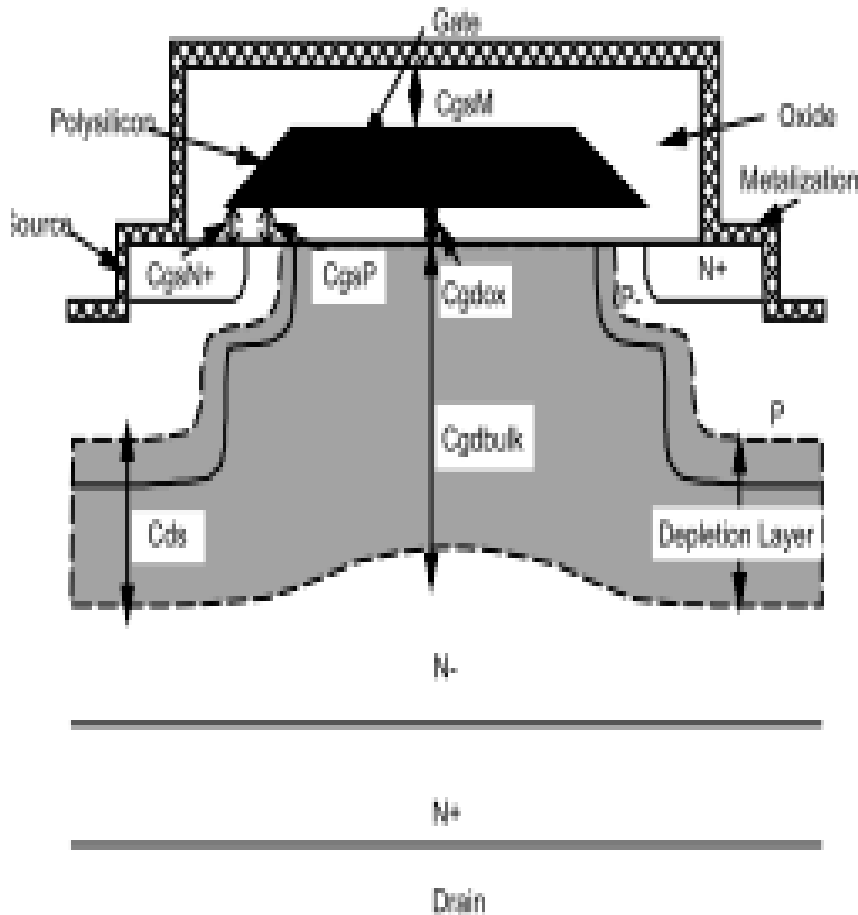
$$C_{oss} = C_{GD} + C_{DS}$$

bis auf die Rückkopplungskapazität auf Ein- und Ausgang bezogene „Hilfsgrößen“

Das Schaltverhalten des MOSFET wird nahezu ausnahmslos über das elektrische ESB erklärt.
Dabei werden externe Induktivitäten, Freilaufdioden, geklemmte Spannungen etc. herangezogen.

Im Folgenden wird beschrieben, welche physikalischen Effekte tatsächlich IM MOSFET ablaufen.

... das Ganze etwas detaillierter (NICHT maßstabsgerecht):

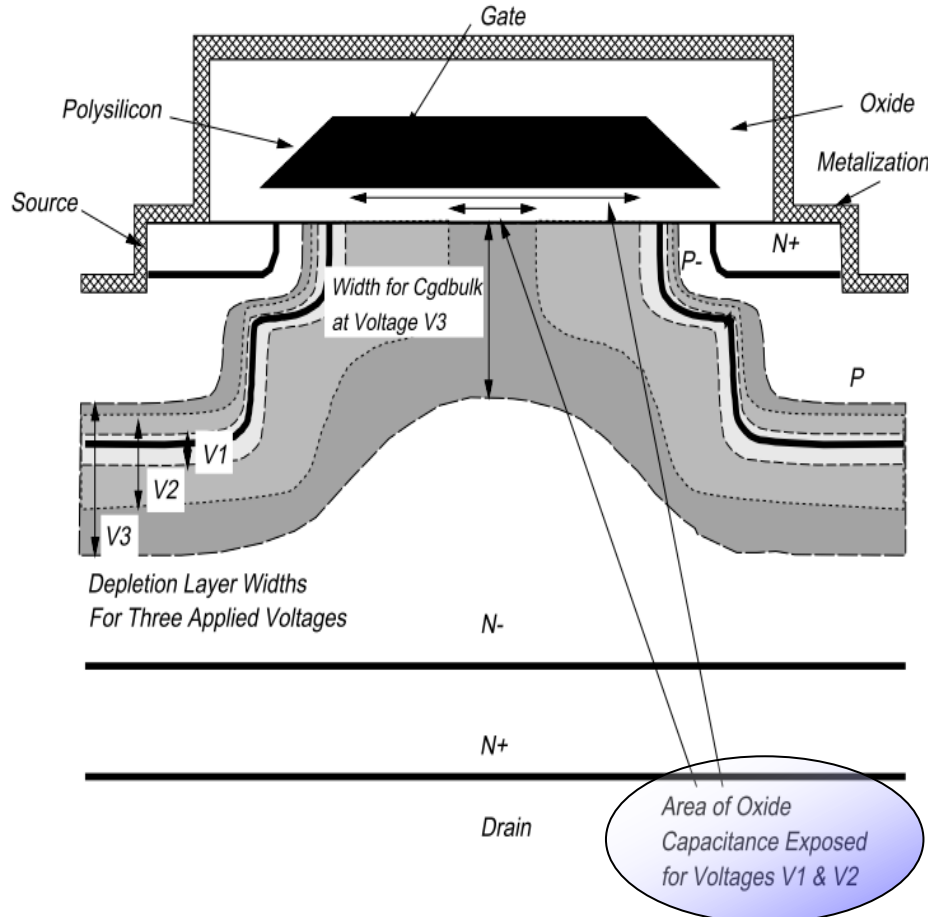


MOSFET sperrt

- > Body-Diode entspricht der C_{DS}
- > die Verarmungszone (RLZ) reicht von der Oberfläche bis zu 100µm tief (1200V Typen)
- > Zellenbreite wenige µm -> RLZ „füllt“ gesamten FET
- > die Kapazität des Oxids entspricht der Parallelschaltung der C_{gsN^+} , C_{gsP} und C_{gsM}
- > C_{gsP} steuert über die Gatespannung den Kanal
- > C_{gd} ist die Rückwirkungskapazität
- > C_{gd} ist stark spannungsabhängig und spielt eine wesentliche Rolle im Schaltverhalten
- > C_{gd} ist die Reihenschaltung aus C_{gdtox} und C_{gdbulk}

$$\frac{1}{C_{gd}} = \frac{1}{C_{gdtox}} + \frac{1}{C_{gdbulk}}$$

ACHTUNG: das C_{gdtox} ist NICHT das zur Ansteuerung wirksame „Gateoxid“



V_{DG} fällt

-> RLZ schrumpft bis die Oxidschicht erreicht wird
(bei V_{DG} ca. 0V) -> C_{gdox} wird dominierend

V_{DG} wird negativ

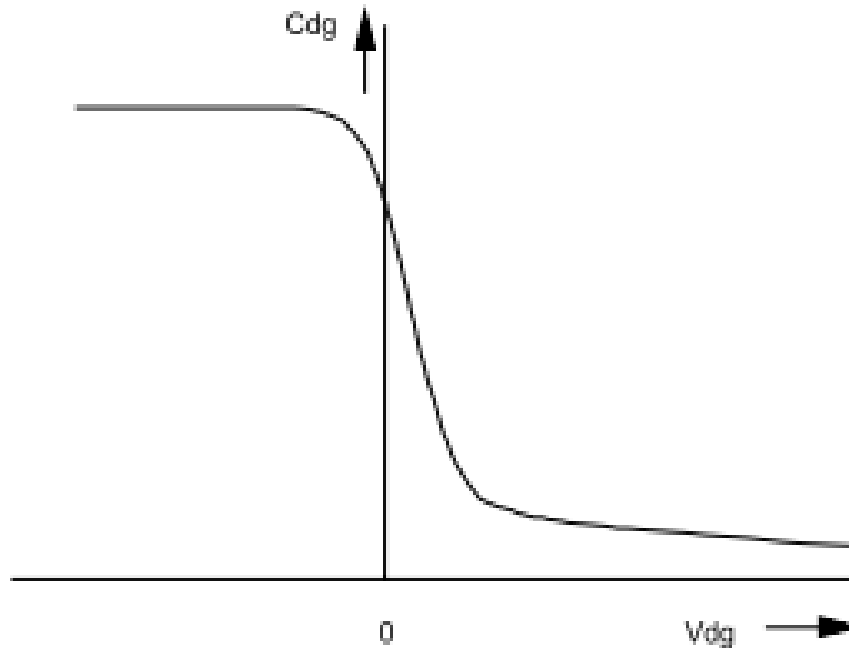
-> die Oxidschicht wird weiter freigelegt

-> Anreicherungsschicht (Elektronen) unter dem Oxid

-> C_{gdox} (und damit C_{gd}) wird sehr groß

-> C_{gsP} hängt von der Drain-Source Spannung ab!

Über die Modulation der Raumladungszonen zwischen den p-Wannen haben wir eine **zusätzliche JFET-Komponente**



In Datenblättern sowie der gängigen Literatur finden sich oft Diagramme, in denen die Kapazitätsverläufe über der Drain-Source-Spannung aufgetragen sind.

Folglich „hören sie gegen $V_{DS} = 0V$ auf“ und wichtige Informationen zum Schaltverhalten gehen verloren!

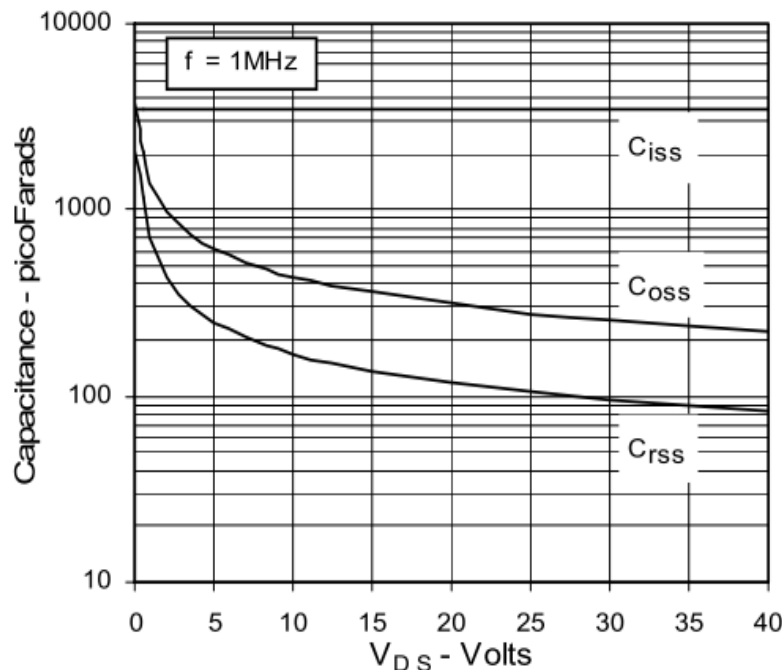
Trägt man C_{dg} über V_{dg} (und nicht V_{DS}) auf, wird dies Verhalten deutlich.

Der steile Kapazitätsanstieg bei Umpolung der Drain-Gate-Spannung kann nicht vernachlässigt werden!

$$\left. \begin{array}{l} C_{iss} \\ C_{oss} \\ C_{rss} \end{array} \right\} V_{GS} = 0 \text{ V}, V_{DS} = 25 \text{ V}, f = 1 \text{ MHz}$$

3400	pF
280	pF
105	pF

ACHTUNG: die Kapazitäten werden i. A. als Kleinsignalparameter bei 1MHz und 25V gemessen (bei jeweils kurzgeschlossenem Eingang bzw. Ausgang). Die im Betrieb wirksamen Werte sind meist größer -> im eingeschalteten Zustand des MOSFETs (V_{DS} klein) sind sie deutlich größer als im ausgeschalteten!



Die Auflösung bei kleinen Spannungen ist gering. Der flache und stetige Kurvenverlauf in diesem Beispiel deutet auf einen abrupten pn-Übergang und ein homogenes Dotierungsprofil hin (keine tiefe dreidimensionale Ausprägung der p-Wannen)

Diese Verläufe finden sich in der Regel so bei älteren Designs

-> keine steilen Kapazitätsänderungen

-> einfache Ansteuerung

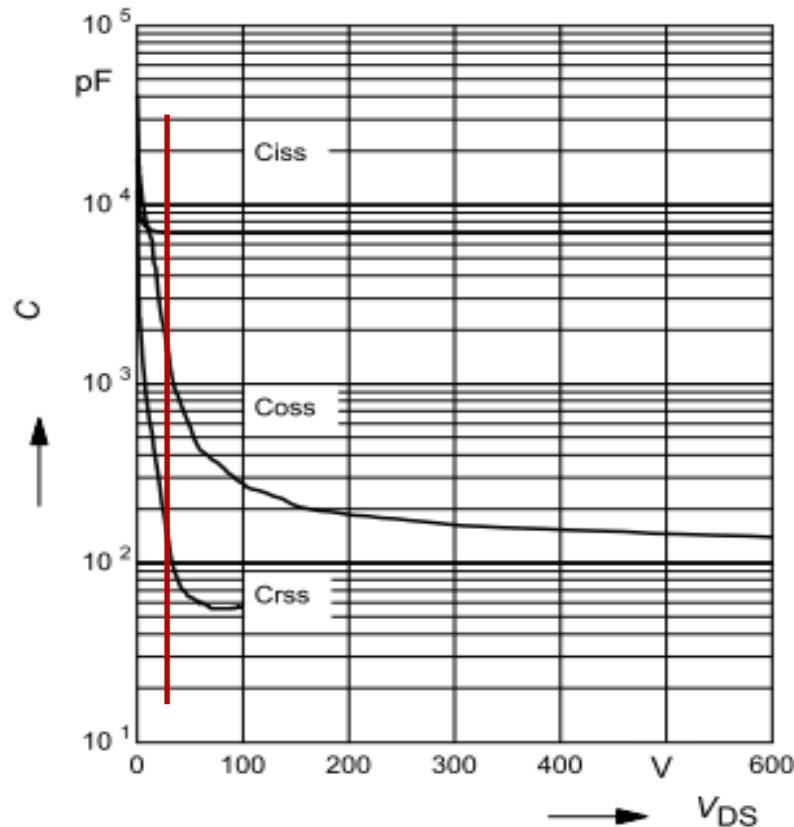
Kurven nur bis 40V (bei deutlich höheren Spannungen nicht so einfach) -> $C_{DS} = C_{oss} - C_{GD}$ sollte etwa mit $1/V_{DS}$ weitergehen!

Anderes Beispiel

SPW47N60C3

$R_{DS(on)}$	0.07	Ω
I_D	47	A

parameter: $V_{GS}=0V$, $f=1\text{ MHz}$



Vollaussteuerung $\rightarrow V_{DS}$ ca. 3V

V_{DS} reicht nun bis 600V – dafür ist die Auflösung bei niedrigen Spannungen so gering, daß eigentlich nichts Sinnvolles mehr zu erkennen ist.

Die Kapazitäten ändern sich sehr stark selbst bei kleinen Spannungsänderungen.

Was nützen uns nun diese Diagramme?

$t_{d(on)}$	} $V_{GS} = 10\text{ V}, V_{DS} = 0.5 \cdot V_{DSS}, 0.5 I_{D25}$ $R_G = 1.5\ \Omega \text{ (External)}$	24	ns
t_r		25	ns
$t_{d(off)}$		35	ns
t_f		17	ns

ACHTUNG: die angegebenen typischen Werte gelten nur für den angegebenen Arbeitspunkt!

Bis der MOSFET auf das Anlegen einer Gatespannung reagiert (das Erreichen der Schwellspannung), vergeht etwas Zeit

-> Ein- und Ausschaltverzögerung

Bis V_{GSth} : Zeitkonstante $C_{GS} \cdot R_G$ -> bei dem Gatevorwiderstand nicht den internen Gatewiderstand vergessen!

Den finden Sie aber in kaum einem Datenblatt; bei Modulen sind oft interne Gate-Vorwiderstände eingesetzt – auch die finden sich nicht immer -> Gefahr der Falschdimensionierung!

$V_{GS} > V_{GSth}$: die Zeitkonstante ist keine mehr, da jetzt auch C_{GD} und C_{DS} umgeladen werden

Einschalten: C_{GD} und C_{DS} steigen -> „Zeitkonstante“ wird größer -> Anstieg V_{GS} wird geringer

U_{GD} gegen 0V -> C_{GD} steigt steil an -> Spannungs-Plateau solange C_{GD} geladen wird.

Der einfache Ansatz mit Zeitkonstanten bringt uns nicht wirklich weiter.

Betrachten wir daher einmal das Verhalten der Gateladung.

BUK555-100A (100V Logik-Pegel MOSFET im TO220); $R_{DS(on)} = 0,085\Omega$ max. bei $V_{GS} = 5V$ und $I_{DM} = 25A$

DYNAMIC CHARACTERISTICS

$T_{mb} = 25\text{ }^{\circ}\text{C}$ unless otherwise specified

SYMBOL	PARAMETER	CONDITIONS	MIN.	TYP.	MAX.	UNIT
g_{fs}	Forward transconductance	$V_{DS} = 25\text{ V}; I_D = 13\text{ A}$	10	13.5	-	S
C_{iss}	Input capacitance	$V_{GS} = 0\text{ V}; V_{DS} = 25\text{ V}; f = 1\text{ MHz}$	-	1450	1750	pF
C_{oss}	Output capacitance		-	280	350	pF
C_{rss}	Feedback capacitance		-	100	150	pF
$t_{d\ on}$	Turn-on delay time	$V_{DD} = 30\text{ V}; I_D = 3\text{ A};$ $V_{GS} = 5\text{ V}; R_{GS} = 50\text{ }\Omega;$ $R_{gen} = 50\text{ }\Omega$	-	25	40	ns
t_r	Turn-on rise time		-	65	85	ns
$t_{d\ off}$	Turn-off delay time		-	135	180	ns
t_f	Turn-off fall time		-	80	110	ns
L_d	Internal drain inductance	Measured from contact screw on tab to centre of die	-	3.5	-	nH
L_d	Internal drain inductance	Measured from drain lead 6 mm from package to centre of die	-	4.5	-	nH
L_s	Internal source inductance	Measured from source lead 6 mm from package to source bond pad	-	7.5	-	nH

Dieser wird nun mit einem Gatestrom von konstant 1mA beaufschlagt

-> $1\mu\text{s}$ entspricht daher einer Ladung von 1nC

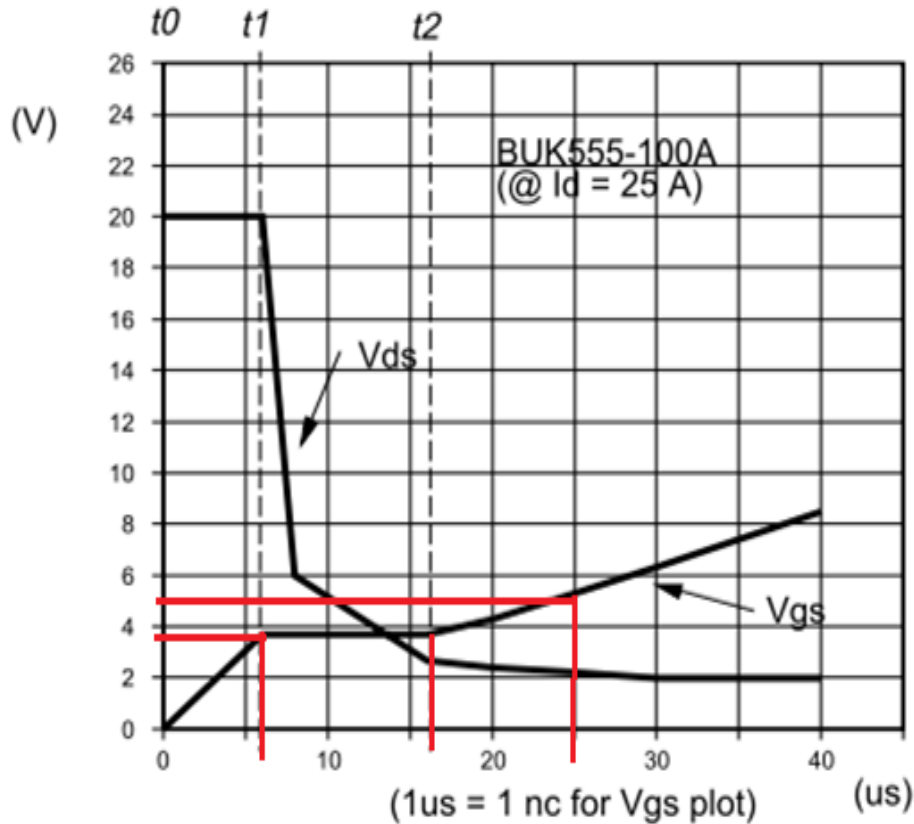


Fig.9 Gate charge plot for a BUK555-100A (Logic Level FET)

V_{GS} 0 bis 3,8V $\rightarrow 6\mu s \rightarrow 6nC$

$\rightarrow C_{GS} = 1,6nF$ ($Q = C \cdot U$)

DB typ. 1.45nF für $C_{iss} = C_{GS} + C_{GD} \sim C_{GS}$

Millerplateau

$Q_{GD} \rightarrow (6\mu s - 16\mu s) \rightarrow 10nC$

V_{GS} von 3,8V bis 5V (16 μs bis 25 μs)

$Q_{GD} \rightarrow (16\mu s - 25\mu s) \rightarrow 9nC$

Q_{on} (V_{GS} 5V) $\rightarrow 25\mu s \rightarrow 25nC$

$\rightarrow C_{iss} = 5nF \rightarrow$ Faktor 3,5 höher als DB!

$$C_{GD} = C_{iss} - C_{GS} \\ = 5nF - 1,6nF = 3,4nF$$

DB: 0,1nF

C_{GD} ist also um den Faktor 34 höher!

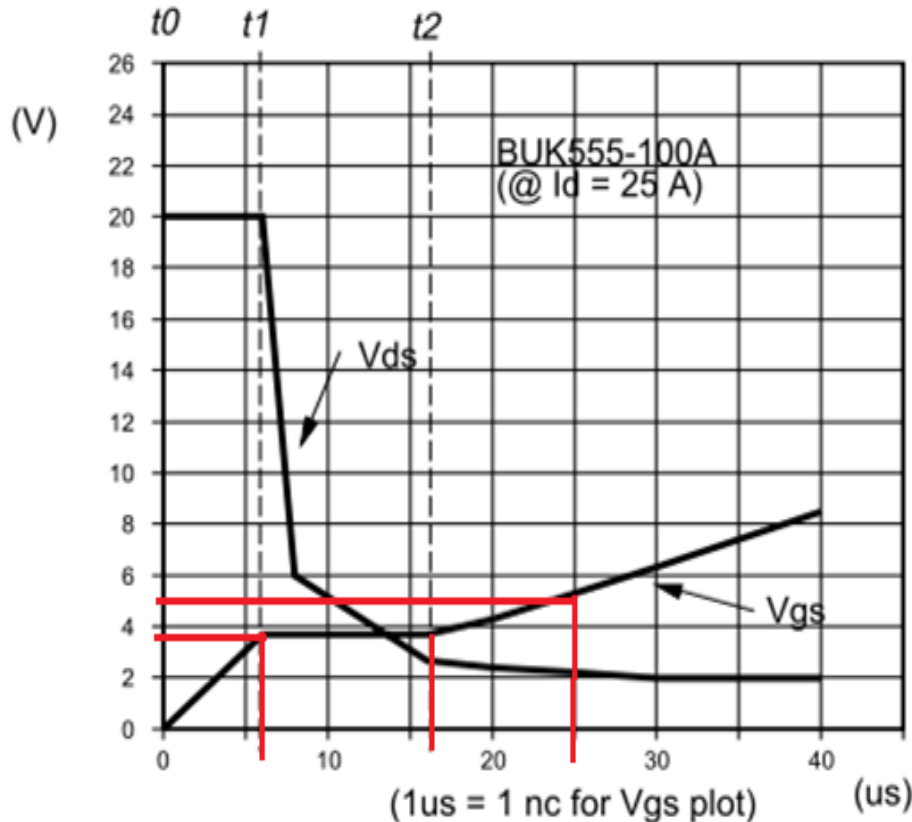


Fig.9 Gate charge plot for a BUK555-100A (Logic Level FET)

Änderung der Rückwirkungskapazität:

V_{GS} 0 bis 3,8V $\rightarrow 6\mu\text{s} \rightarrow 6\text{nC}$

$\rightarrow C_{GS} = 1,6\text{nF}$ ($Q = C \cdot U$)

$Q_{GD} \rightarrow (6\mu\text{s} - 7\mu\text{s}) \rightarrow +1\text{nC}$

$\rightarrow 3,8\text{V}$ und $7\text{nC} \rightarrow C_{GD} = C_{iss} - C_{GS} = 0,2\text{nF}$

$\rightarrow C_{GD} = 7\text{nC} / 3,8\text{V} - 1,6\text{nF} = 0,24\text{nF}$

(DB: $0,1\text{nF}$ bei 25V)

$Q_{GD} \rightarrow (6\mu\text{s} - 10\mu\text{s}) \rightarrow +4\text{nC} \rightarrow 1\text{nF}$

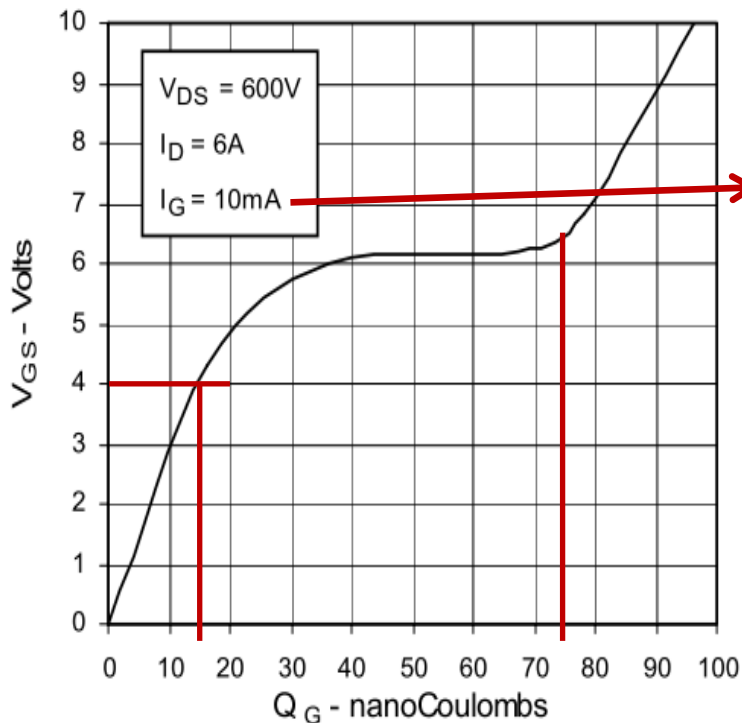
$Q_{GD} \rightarrow (6\mu\text{s} - 16\mu\text{s}) \rightarrow +10\text{nC} \rightarrow 2,6\text{nF}$

C_{GD} ändert sich also um den Faktor 26!

Die C(U) Diagramme sind also nur bedingt brauchbar!

... zurück zu unserem Beispiel:

Fig. 10. Gate Charge



C_{iss}	3400	$Q_{g(on)}$	95	$t_{d(on)}$	24
C_{oss}	280	Q_{gs}	22	t_r	25
C_{rss}	105	Q_{gd}	50	$t_{d(off)}$	35
				t_f	17

V_{GS} bei 4V: 14nC $\rightarrow C = 3,5nF$; paßt auf die typ, 3.400pF C_{iss}

Einschaltverzögerung $t_{d(on)}$ 24ns

V_{GS} ca. 4V \rightarrow 14nC \rightarrow 3,5nF \rightarrow ca. 0,6A Treiberstrom
 $\rightarrow R_G = 1,7\Omega$ (Datenblatt: 1,5 Ω extern)

Millerplateau:

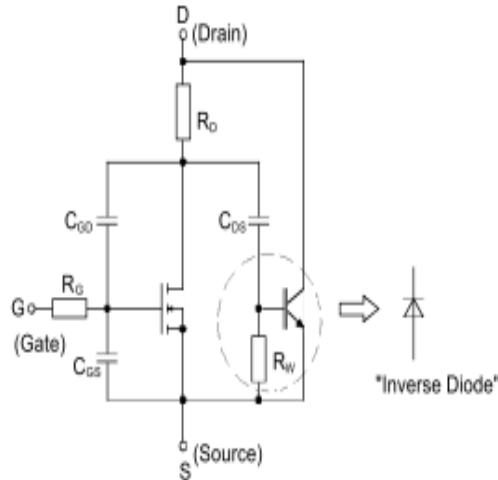
Q_{GD} ca. (74nC – 14nC) = 60nC
 $\rightarrow C_{GD} = 8,2nF$ (DB: 0,1nF)

Q_{on} (V_{GS} 10V) \rightarrow 95nC $\rightarrow C_{GD} = 9,5nF$

Einschalten in 49ns \rightarrow 1,9A konstant Treiberstrom erforderlich

$\rightarrow C_{iss} = 3,5nF + 9,5nF = 13nF$ (DB: ca. 3,4nF)

... das sind erhebliche Abweichungen! Habe ich Ihnen also wieder etwas Falsches erzählt?



Das war der Ausgangspunkt:

Eingangskapazität

$$C_{iss} = C_{GS} + C_{GD}$$

Rückkopplungskapazität

$$C_{rss} = C_{GD}$$

Ausgangskapazität

$$C_{oss} = C_{GD} + C_{DS}$$

Das sind **KLEINSIGNAL**parameter, die üblicherweise bei 1 MHz, jeweils kurzgeschlossenen Eingang bzw. Ausgang gemessen werden!

Eingangskapazität C_{iss}

Kapazität zwischen Gate- und Source-Anschluß bei für Wechselstrom kurzgeschlossener Drain-Source-Stecke und Gate-Source-Spannung $V_{GS} = 0$.

Ausgangskapazität C_{oss}

Kapazität zwischen Drain- und Source-Anschluß bei kurzgeschlossener Gate-Source-Stecke

Rückwirkungskapazität C_{rss}

Kapazität zwischen Drain- und Gate-Anschluß bei für Wechselstrom kurzgeschlossener Drain-Source-Stecke und Gate-Source-Spannung $V_{GS} = 0$

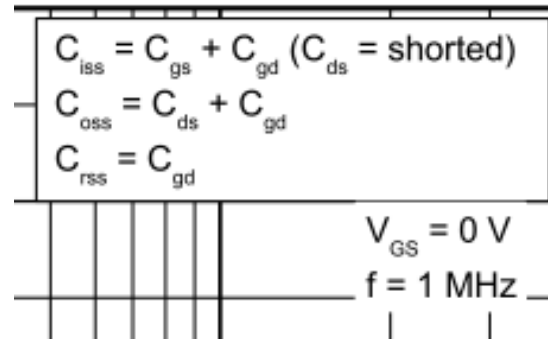
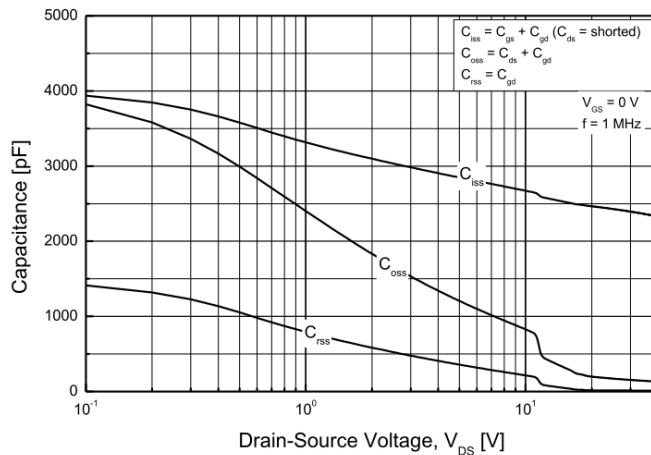
Aus Semikron Applikationshandbuch

Das finden Sie meistens:

C_{iss}
 C_{oss}
 C_{rss}

$V_{GS} = 0 \text{ V}, V_{DS} = 25 \text{ V}, f = 1 \text{ MHz}$

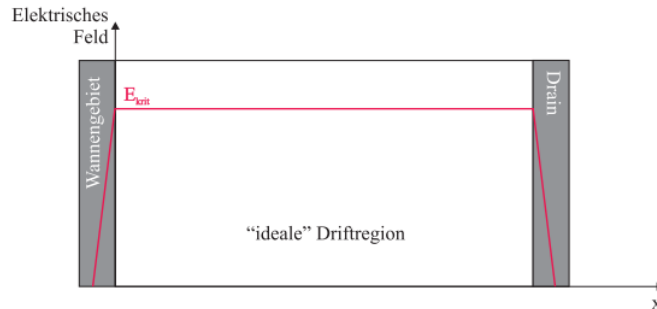
Manchmal gibt es im Diagramm eine Erinnerung wie z. B. bei TMP9N90:



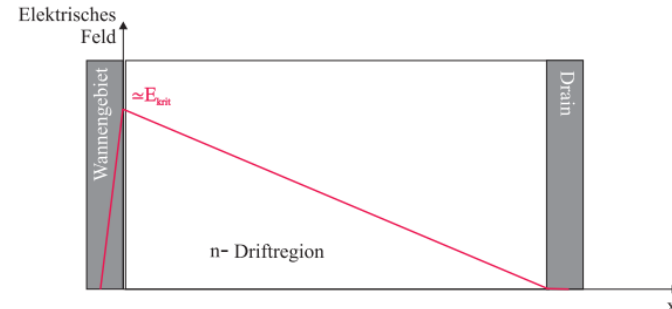
Im normalen Betrieb wird dann z. B. $C_{iss} = C_{GS} + C_{GD} + C_{DS}$

Wie schon gesagt: die C(U) Diagramme sind nur bedingt brauchbar!
Modelle für den realen Betrieb dürften etwas unübersichtlich werden.

Kompensationsbauelemente – Super-Junction-FET



Die „ideale“ Driftregion soll eine möglichst hohe Sperrspannung aufnehmen
 -> konstantes elektrisches Feld knapp unterhalb der Durchbruchfeldstärke E_{krit} (Si ca $2 \cdot 10^5$ V/cm) über die gesamte Driftregion erforderlich
 -> $V_{BR} = E_{krit} \cdot L_D$
 ABER: geringe Dotierung – hoher Widerstand



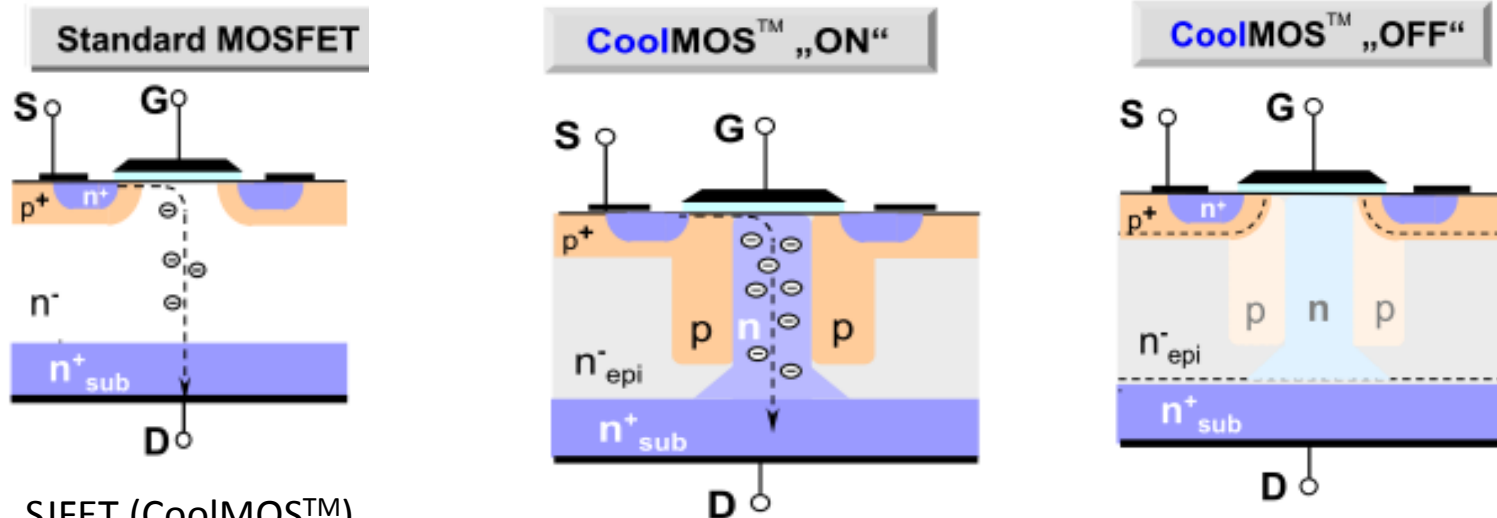
Die Driftregion soll im eingeschalteten Zustand einen möglichst geringen Widerstand aufweisen
 -> entsprechende Dotierung der Driftregion nötig
 -> das elektrische Feld in der Driftregion fällt linear ab -> die Durchbruchspannung (Fläche unter der Kurve des elektrischen Feldes) nimmt ab
 Fläche bzw. Volumen nimmt Spannung auf (Integral über die Raumladung)

$$V_{BR} \sim \int E(x) dx \quad E(x) \sim N(x)$$

**Die Fläche unter dem Feldverlauf nimmt die Spannung auf
 -> hohe Sperrspannung erfordert große Fläche**

Prinzip der Kompensationsbauelemente

Basiert auf dem RESURF (Reduced Surface Field) Konzept aus 1979



SJFET (CoolMOS™)

Die n-Driftregion liegt zwischen tiefen p-Säulen. Deren Ladungsträgerkonzentration entspricht genau der der Driftregion (Nettodotierung = 0). Im Sperrbetrieb „kompensieren“ Löcher die Elektronen.

-> Dotierung in der Driftzone höher -> **bessere Leitfähigkeit**

-> Dünnere Epitaxie-Schicht -> **reduzierter $R_{DS(on)}$**

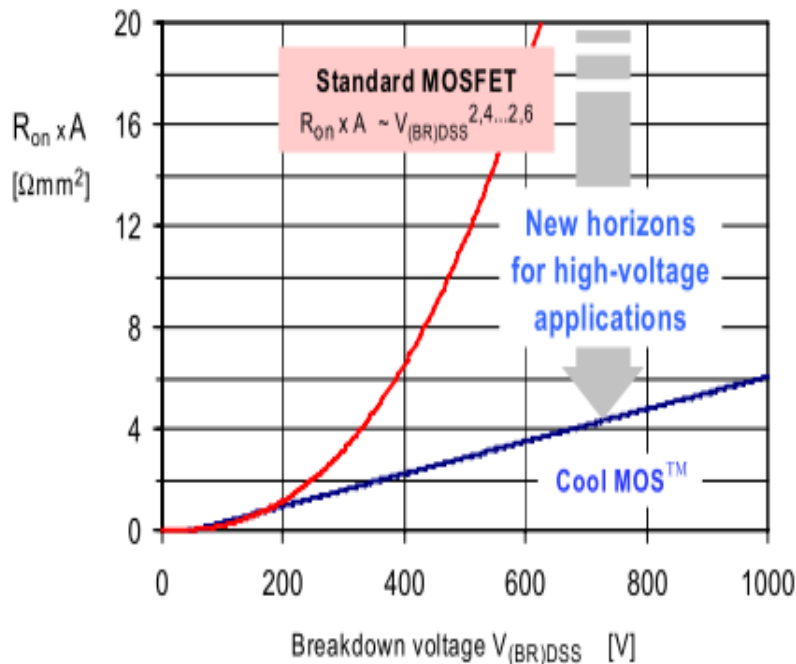
-> RLZ füllt den gesamten Kristall aus (-> JFET) -> **Feld annähernd rechteckig**

-> $R_{DS(on)}$ steigt nur noch etwa linear mit der Durchbruchspannung

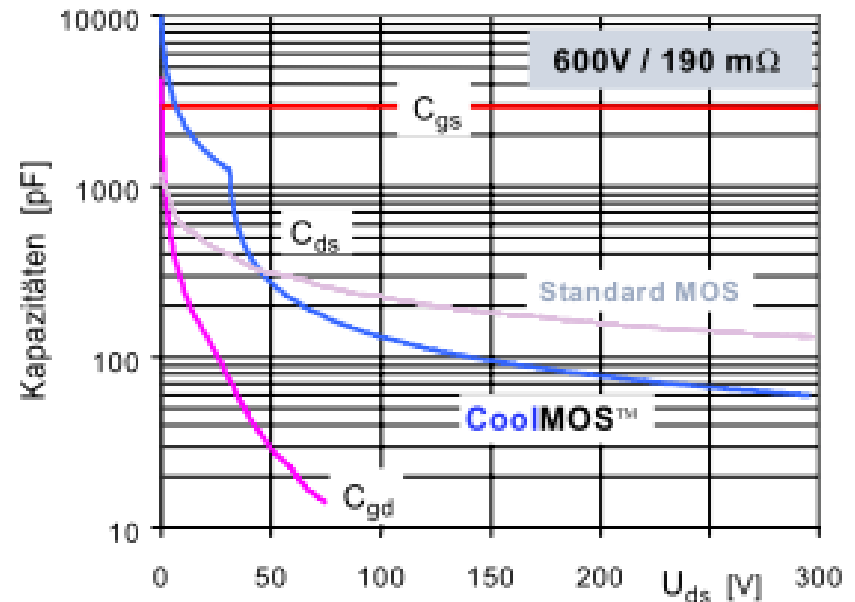
Nach: COOLMOS™ von SIEMENS*

Ein Quantensprung in der HochvoltMOSFET-Technologie macht Anwenderträume wahr

Kompensationsbauelemente – Super-Junction-FET



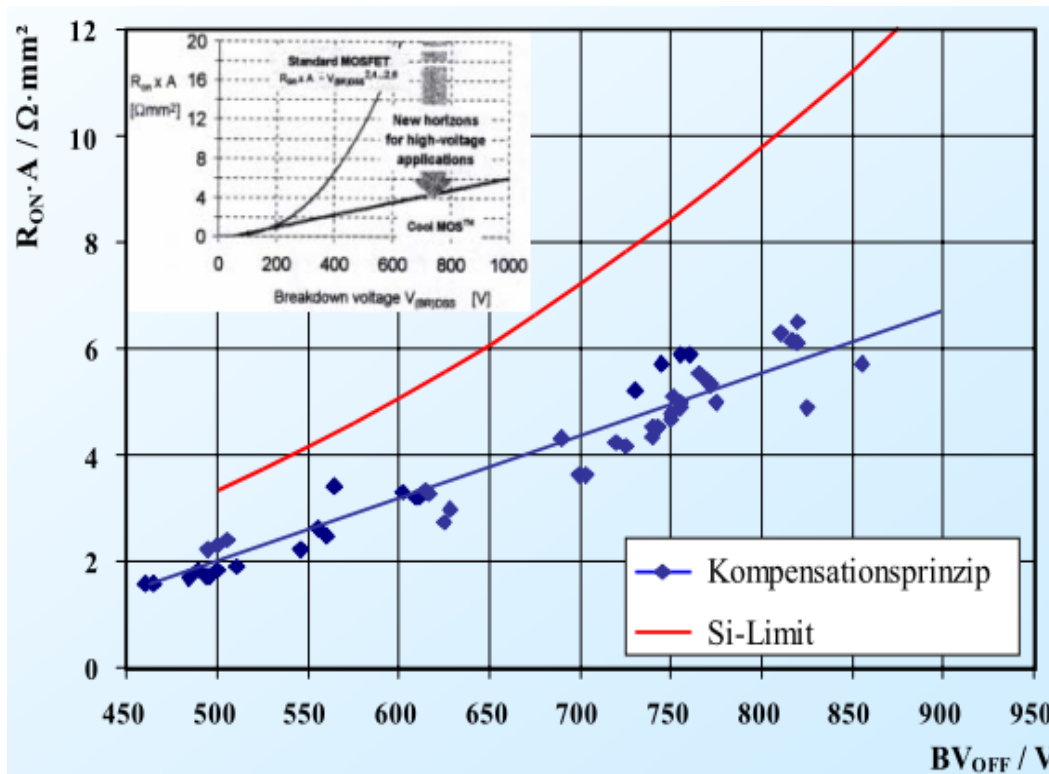
Vergleich des $R_{DS(on)}$ von konventionellen MOSFETs und SJFETs



Vergleich der Kapazitätsverläufe von konventionellen MOSFETs und SJFETs

**Ohne Licht kein Schatten – die Kapazitätsverläufe im SJFET sind stark nichtlinear
Kann bei der Ansteuerung Probleme bereiten**

Kompensationsbauelemente – Super-Junction-FET



Der SJFET bringt eine deutliche Reduktion des $R_{DS(on)}$ mit sich – wenngleich vielleicht nicht so extrem wie in der Anfangseuphorie gedacht.

Heutzutage gibt es diese Technologie – unter anderen „Handelsnamen“ auch von anderen Herstellern.

Die „magischen“ 1.200V wurden bisher noch nicht erreicht.